

计算机组成原理

章节题目合订本

做题本

7章 / 704道题 / 含221道统考题

按章、节编排；两版题号一致。

先独立作答，再对照答案与解析。

2026年9月整理

目录

第1章 计算机系统概述	37题	3
第2章 数据的表示和运算	125题	14
第3章 存储系统	157题	48
第4章 指令系统	85题	95
第5章 中央处理器	163题	124
第6章 总线	48题	175
第7章 输入/输出系统	89题	187

题号说明

“3-025”表示第三章第25题；做题本与答案解析本一一对应。

统考题标明年份和原题号；综合题的分问保持在同一道题内。

完全相同的记录已合并；不同解析或修订版本分别保留。

第1章 计算机系统概述

计算机组成原理 · 做题本 · 37题

1.2 计算机系统层次结构

1-001 选择题

完整的计算机系统应包括（ ）。

- A. 运算器、存储器、控制器
- B. 外部设备和主机
- C. 主机和应用程序
- D. 配套的硬件设备和软件系统

1-002 选择题

冯·诺依曼机的基本工作方式是（ ）。

- A. 控制流驱动方式
- B. 多指令多数据流方式
- C. 微程序控制方式
- D. 数据流驱动方式

1-003 选择题

冯·诺依曼机工作方式的基本特点是（ ）。

- A. 程序一边被输入计算机一边被执行
- B. 程序直接从磁盘读到 CPU 执行
- C. 按地址访问指令并自动按序执行程序
- D. 程序自动执行而数据手工输入

1-004 选择题

以下关于计算机各部件功能的叙述中，错误的是（ ）。

- A. 运算器（ALU）仅用来完成算术运算
- B. 存储器用来存放指令和数据
- C. 控制器负责指挥和协调计算机各部件
- D. 输入/输出设备用来完成用户和计算机之间的信息交换

1-005 选择题

按照教材采用的计算机多级虚拟机模型，从高级语言层到机器语言层，典型层次自上而下依次为（ ）。

- A. 高级语言虚拟机 → 操作系统虚拟机 → 汇编语言虚拟机 → 机器语言机器
- B. 高级语言虚拟机 → 汇编语言虚拟机 → 机器语言机器 → 操作系统虚拟机
- C. 高级语言虚拟机 → 汇编语言虚拟机 → 操作系统虚拟机 → 机器语言机器
- D. 操作系统虚拟机 → 高级语言虚拟机 → 汇编语言虚拟机 → 机器语言机器

1-006 选择题

下列关于 ISA 与计算机系统层次结构的说法中，正确的是（ ）。

- A. 高级语言程序经编译生成汇编语言后，可直接在机器上执行
- B. ISA 仅规定各指令的运算功能，不规定程序可见寄存器、数据类型和寻址方式
- C. 在所需指令扩展、ABI 和运行环境兼容时，同一 ISA 可由不同微体系结构实现，已有机器码无须重写即可运行
- D. 高级语言中的每条语句与 ISA 的机器指令一一对应

1-007 选择题

在传统的事先编译执行和逐句解释执行模型中，不考虑即时编译与其他优化，下列说法中错误的是（ ）。

- A. 编译程序和解释程序都能使高级语言描述的操作在计算机上得到执行
- B. 编译通常需要预先完成翻译，生成代码后可直接运行该代码
- C. 逐句解释的方法较直接，其运行速度通常比对应的已编译代码更快
- D. 逐句解释器在运行时处理源程序，并立即执行相应操作

1-008 选择题

在传统逐句执行模型中，运行时解释源程序并执行相应操作的是哪一类程序？把汇编语言源程序转换为机器语言程序的过程又是什么？按顺序选择（ ）。

I. 编译 II. 目标 III. 汇编 IV. 解释

- A. I、II
- B. IV、II
- C. IV、I
- D. IV、III

1-009 选择题

下列关于各种级别语言的描述中，错误的是（ ）。

- A. 可用高级语言和低级语言编写出功能等价的程序
- B. 低级语言便于针对目标机器进行优化，但执行效率仍取决于具体程序和实现
- C. 机器语言程序可由硬件直接执行，而高级语言和汇编语言源程序需要相应的翻译或解释机制
- D. 汇编语言与机器结构无关

1-010 选择题

下列关于机器指令和汇编指令的叙述中，错误的是（ ）。本题的汇编指令指不含宏与伪指令的基本汇编指令。

- A. 可以直接用机器语言（机器指令）编写程序
- B. 汇编指令和机器指令都能被计算机硬件直接执行
- C. 汇编语言和机器语言都与计算机系统结构相关
- D. 基本汇编指令与其对应的机器指令功能相同

1-011 2015 年统考·第 12 题

【2015统考真题】计算机硬件能够直接执行的是（ ）。

- I. 机器语言程序
- II. 汇编语言程序
- III. 硬件描述语言程序

- A. 仅 I
- B. 仅 I、II
- C. 仅 I、III
- D. I、II、III

1-012 2016 年统考·第 12 题

【2016统考真题】将高级语言源程序转换为机器级目标代码文件的程序是（ ）。

- A. 汇编程序
- B. 链接程序
- C. 编译程序
- D. 解释程序

1-013 2019 年统考 · 第 12 题

【2019统考真题】下列关于冯·诺依曼机基本思想的叙述中，错误的是（ ）。

- A. 程序的功能都通过中央处理器执行指令实现
- B. 指令和数据都用二进制数表示，形式上无差别
- C. 指令按地址访问，数据都在指令中直接给出
- D. 程序执行前，指令和数据需预先存放在存储器中

1-014 2022 年统考 · 第 20 题

【2022统考真题】将高级语言源程序转换为可执行目标文件的主要过程是（ ）。

- A. 预处理→编译→汇编→链接
- B. 预处理→汇编→编译→链接
- C. 预处理→编译→链接→汇编
- D. 预处理→汇编→链接→编译

1.3 计算机的性能指标

1-015 选择题

关于 CPU 主频、CPI、MIPS、MFLOPS，说法正确的是（ ）。

- A. CPU 主频是 CPU 执行指令的频率，CPI 是执行一条指令平均使用的频率
- B. CPI 是执行一条指令平均使用的 CPU 时钟个数，MIPS 描述一条指令平均使用的 CPU 时钟周期数
- C. MIPS 描述 CPU 执行指令的频率，MFLOPS 是计算机系统的浮点数指令
- D. CPU 主频是 CPU 使用的时钟频率，CPI 是执行一条指令平均使用的 CPU 时钟周期数

1-016 选择题

在主要进行浮点科学计算的计算机中，下列哪项最能反映该类计算的运算速率（ ）？

- A. 主时钟频率
- B. 主存容量
- C. MFLOPS
- D. MIPS

1-017 选择题

在计算机 M1 和 M2 上分别运行功能完全相同的高级语言程序，程序在 M1 和 M2 上的平均 CPI 相等，则对于该类程序而言（ ）。

- A. M1 和 M2 执行速度相等
- B. M1 和 M2 中主频高的计算机执行速度快
- C. M1 和 M2 中主频低的计算机执行速度快
- D. 无法确定哪台机器的执行速度快

1-018 选择题

在指令混合、硬件结构以及每条指令的耗时周期数固定，并忽略主存等外部固定时延变化的模型下，CPU 的 CPI 与下列哪项没有直接依赖关系（ ）？

- A. 时钟频率
- B. 系统结构
- C. 指令集
- D. 计算机组织

1-019 选择题

某基准测试程序在机器 A 上运行需要 20 s，在机器 B 上需要 16 s。对本次基准测试，下列结论正确的是（ ）。

- A. 所有程序在机器 A 上都比在机器 B 上运行得慢
- B. 机器 B 的速度是机器 A 的 1.25 倍
- C. 机器 A 的速度是机器 B 的 1.25 倍
- D. 机器 A 比机器 B 慢 1.25 倍

1-020 选择题

机器 A 的主频为 800 MHz，某程序在 A 上运行需要 12 s。机器 B 运行同一程序所需的时钟周期数是在 A 上的 1.5 倍，希望 B 的运行时间缩短为 8 s，则 B 的主频至少为（ ）。

- A. 800 MHz
- B. 1.2 GHz
- C. 1.5 GHz
- D. 1.8 GHz

1-021 选择题

下列可用于从不同维度评价计算机系统性能或处理能力的指标是（ ）。

I. MIPS II. IPC III. CPI IV. 字长

- A. I、III B. I、III、IV
C. I、II、III D. 全部

1-022 选择题

计算机的机器字长与下列哪项最密切相关（ ）？

- A. 运算速度 B. 存取速度
C. 内存容量 D. 运算精度

1-023 选择题

同一高级语言语句可以生成两个功能相同的指令序列。机器时钟周期为 2 ns，指令信息如下。正确的结论是（ ）。

指令类型	CPI	序列一条数	序列二条数
A	1	1	2
B	2	1	1
C	3	4	2

- A. 序列一的 MIPS 比序列二多 50，序列一的执行时间少 10 ns
B. 序列一的 MIPS 比序列二多 50，序列二的执行时间少 10 ns
C. 序列二的 MIPS 比序列一多 50，序列一的执行时间少 10 ns
D. 序列二的 MIPS 比序列一多 50，序列二的执行时间少 10 ns

1-024 选择题

一台 40 MHz 的 CPU 执行含 100 条指令的测试程序。各类指令占比和 CPI 如表。平均 CPI 和执行时间分别为 ()。

指令类型	CPI	指令占比
算术和逻辑	1	60%
高速缓存命中的访存	2	18%
转移	4	12%
高速缓存失效的访存	8	10%

A. 2.26, 5.6×10^{-8} s

B. 2.26, 5.6×10^{-6} s

C. 2.24, 5.6×10^{-6} s

D. 2.24, 5.6×10^{-8} s

1-025 选择题

下列给出了改善计算机性能的4种措施：

I. 用更快的处理器来替换原来的慢速处理器

II. 增加同类处理器个数，使得不同的处理器同时执行程序

III. 优化编译生成的代码，使得程序执行的总时钟周期数减少

IV. 减少指令执行过程中的访存时间对于某个特定的程序，在以上措施中，能缩短其执行时间的措施是 ()。

A. I、II和III

B. I、II和IV

C. I、III和IV

D. 全部

1-026 选择题

对一个没有并行化的单线程程序，考察下列措施。其余条件不变，能缩短该程序执行时间的措施是 ()。

I. 换用对该程序具有更快执行能力的处理器 II. 只增加同类处理器数量，让不同处理器执行不同程序 III. 优化代码，使该程序执行的总时钟周期数减少 IV. 减少该程序指令执行过程中的有效访存等待时间

A. I、II、III

B. I、II、IV

C. I、III、IV

D. 全部

1-027 2010 年统考·第 12 题

【2010统考真题】下列选项中，能缩短程序执行时间的措施是（ ）。

- I. 提高CPU 时钟频率
- II. 优化数据通路结构
- III. 对程序进行编译优化

- A. 仅 I 和 II
- B. 仅 I 和 III
- C. 仅 II 和 III
- D. I、II、III

1-028 2011 年统考·第 12 题

【2011统考真题】下列选项中，描述浮点数操作速度指标的是（ ）。

- A. MIPS
- B. CPI
- C. IPC
- D. MFLOPS

1-029 2012 年统考·第 12 题

【2012统考真题】假定基准程序A 在某计算机上的运行时间为100s，其中90s 为 CPU 时间，其余为 I/O 时间。若CPU 速度提高50%,I/O 速度不变，则运行基准程序A 所耗费的时间是（ ）。

- A. 55s
- B. 60s
- C. 65s
- D. 70s

1-037 综合题

某计算机只有 LOAD/STORE 指令能够读写存储器，其他指令只操作寄存器。原程序的指令比例和 CPI 如下，程序共执行 M 条指令。

指令类型	指令占比	CPI
算术逻辑	43%	1
LOAD	21%	2
STORE	12%	2
转移	24%	2

(1) 求原程序的平均 CPI。

(2) 算术逻辑指令中有 25% 需要先执行一条独立的 LOAD，再使用读入的一个操作数。现在将每一组“LOAD + 算术逻辑”替换为一条寄存器—存储器型算术逻辑指令，新指令 CPI 为 2，并删除被它替代的 LOAD。与此同时，所有转移指令的 CPI 由 2 变为 3，其余条件不变。求新程序的平均 CPI。

第2章 数据的表示和运算

计算机组成原理 · 做题本 · 125题

2.1 数制与编码

2-001 选择题

若十进制数为 137.5，则其八进制数为（ ）。

- A. 89.8
- B. 211.4
- C. 211.5
- D. 1011111.101

2-002 选择题

一个 16 位无符号二进制数的表示范围是（ ）。

- A. 0 ~ 65536
- B. 0 ~ 65535
- C. -32768 ~ 32767
- D. -32768 ~ 32768

2-003 选择题

本题中的“小数表示”均指有限位表示。下列说法有误的是（ ）。

- A. 任何二进制整数都可以用十进制表示
- B. 任何有限二进制小数都可以用有限十进制小数表示
- C. 任何十进制整数都可以用二进制表示
- D. 任何有限十进制小数都可以用有限二进制小数表示

2-004 选择题

在常规定长原码、反码、补码及移码中，对真值 0 的表示形式唯一的是（ ）。

- A. 原码
- B. 补码和移码
- C. 反码
- D. 以上都不对

2-005 选择题

若 $[X]_{\text{补}} = 1.1101010$ ，首位为符号位，则 $[X]_{\text{原}} = (\quad)$ 。

- A. 1.0010101
- B. 1.0010110
- C. 0.0010110
- D. 0.1101010

2-006 选择题

若 X 为负数，且 $-X$ 仍在同字长补码的可表示范围内，则由 $[X]_{\text{补}}$ 求 $[-X]_{\text{补}}$ 应将 ()。

- A. $[X]_{\text{补}}$ 各位保持不变
- B. $[X]_{\text{补}}$ 符号位取反，其他各位不变
- C. $[X]_{\text{补}}$ 除符号位外各位取反，末位加 1
- D. $[X]_{\text{补}}$ 连同符号位一起取反，末位加 1

2-007 选择题

8 位原码能表示的不同数值共有 () 个。

- A. 15
- B. 16
- C. 255
- D. 256

2-008 选择题

一个 $n+1$ 位原码整数 x (含 1 位符号位) 的数值范围为 ()。

- A. $-2^n + 1 < x < 2^n - 1$
- B. $-2^n + 1 \leq x < 2^n - 1$
- C. $-2^n + 1 < x \leq 2^n - 1$
- D. $-2^n + 1 \leq x \leq 2^n - 1$

2-009 选择题

64 位定点整数含 1 位符号位，采用补码表示时，绝对值最大的负数为 ()。

- A. -2^{64}
- B. $-(2^{64}-1)$
- C. -2^{63}
- D. $-(2^{63}-1)$

2-010 选择题

对 n 位有符号整数，移码偏置取 2^{n-1} 。下列关于补码和移码关系的叙述中，不正确的是（ ）。

- A. 相同位数的补码和移码具有相同的数值范围
- B. 0 的补码和移码相同
- C. 同一个数的补码和移码低 $n-1$ 位相同，最高位相反
- D. 浮点数的阶通常采用偏置编码，定点有符号整数常采用补码

2-011 选择题

若 7 位补码整数 $[x]_{\text{补}} = 1, x_1 x_2 x_3 x_4 x_5 x_6$ ，各 x_i 为 0 或 1。若要求 $x > -32$ ，应满足（ ）。

- A. x_1 为 0，其他位任意
- B. x_1 为 1，其他位任意
- C. x_1 为 1，且 $x_2 \sim x_6$ 中至少有一位为 1
- D. x_1 为 0，且 $x_2 \sim x_6$ 中至少有一位为 1

2-012 选择题

设 x 为 6 位补码整数， $[x]_{\text{补}} = 1, x_1 x_2 x_3 x_4 x_5$ 。若要求 $x < -16$ ，则 $x_1 \sim x_5$ 应满足（ ）。

- A. $x_1 \sim x_5$ 至少有一个为 1
- B. x_1 必须为 0，且 $x_2 \sim x_5$ 至少有一个为 1
- C. x_1 必须为 0， $x_2 \sim x_5$ 任意
- D. x_1 必须为 1， $x_2 \sim x_5$ 任意

2-013 2018 年统考·第 12 题

【2018统考真题】冯·诺依曼结构计算机中的数据采用二进制编码表示，其主要原因是（ ）。

- I. 二进制的运算规则简单
 - II. 制造两个稳态的物理器件较容易
 - III. 便于用逻辑门电路实现算术运算
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 II、III
 - D. I、II 和 III

2-014 2025 年统考·第 12 题

在 32 位计算机上执行下列 C 语言代码：

```
short si = -32767;  
unsigned int ui = si;
```

变量 ui 的值为 ()。

- A.** $2^{15} - 1$ **B.** $2^{15} + 1$
C. $2^{32} - 2^{15} - 1$ **D.** $2^{32} - 2^{15} + 1$

2-015 选择题

设 x 为真值, $x' = |x|$ 。假定式中各数均可用相同字长的补码表示。满足 $[-x']_{\text{补}} = [-x]_{\text{补}}$, 当且仅当 ()。

- A. x 任意 B. x 为正数
C. x 为负数 D. 以上说法都不对

2-016 2012 年统考·第 13 题

【2012统考真题】假定编译器规定 int型和short 型长度分别为32位和16位，执行下列

C 语言语句:

```
unsigned short x=65530;

unsigned int y=x;
```

得到y 的机器数为 ()。

- A.** 00007FFAH **B.** 0000 FFFAH
C. FFFF 7FFAH **D.** FFFF FFFAH

2-017 2015 年统考·第 13 题

【2015统考真题】由3个“1”和5个“0”组成的8位二进制补码，能表示的最小整数是（ ）。

- A.** -126 **B.** -125
C. -32 **D.** -3

2-018 2016 年统考 · 第 13 题

【2016统考真题】有如下C 语言程序段：

```
short si = -32767;
```

```
unsigned short usi = si;
```

执行上述两条语句后，usi 的值为（ ）。

A. -32767

B. 32767

C. 32768

D. 32769

2-019 2019 年统考 · 第 13 题

【2019统考真题】考虑以下C 语言代码：

```
unsigned short usi = 65535;
```

```
short si = usi;
```

执行上述程序段后，si 的值是（ ）。

A. -1

B. -32767

C. -32768

D. -65535

2-020 2021 年统考 · 第 13 题

【2021统考真题】已知有符号整数用补码表示，变量x, y, z 的机器数分别为FFFDH, FFDFH, 7FFCH，下列结论中，正确的是（ ）。

A. 若 x, y 和 z 为无符号整数，则 $z < x < y$

B. 若 x, y 和 z 为无符号整数，则 $x < y < z$

C. 若 x, y 和 z 为有符号整数，则 $x < y < z$

D. 若 x, y 和 z 为有符号整数，则 $y < x < z$

2-021 2022 年统考 · 第 13 题

【2022统考真题】32位补码所能表示的整数范围是（ ）。

A. $-2^{32} \sim 2^{31} - 1$

B. $-2^{31} \sim 2^{31} - 1$

C. $-2^{32} \sim 2^{32} - 1$

D. $-2^{31} \sim 2^{32} - 1$

2-022 选择题

假定十进制数 -66 以补码形式存放在 8 位寄存器中, 该寄存器的内容用十六进制表示为 ()。

- A. C2H
- B. BEH
- C. BDH
- D. 42H

2-023 选择题

机器数采用补码表示, 含 1 位符号位。8 位寄存器内容为 9BH, 对应十进制数为 ()。

- A. -27
- B. -97
- C. -101
- D. 155

2-024 选择题

8 位寄存器内容为 1000 0000, 若它表示 -0 , 则采用 ()。

- A. 原码
- B. 补码
- C. 反码
- D. 移码

2-025 选择题

8 位寄存器内容为 1111 1111, 若它表示 $+127$, 则采用 ()。本题移码偏置为 128。

- A. 反码
- B. 补码
- C. 原码
- D. 移码

2-026 选择题

8 位寄存器内容为 1111 1111, 若它表示 -1 , 则采用 ()。

- A. 原码
- B. 补码
- C. 反码
- D. 移码

2-027 选择题

8 位寄存器内容为 0000 0000，若它表示 -128，则采用（ ）。本题移码偏置为 128。

- A. 原码
- B. 补码
- C. 反码
- D. 移码

2-028 选择题

二进制定点小数真值为 -0.1101，其机器表示为 1.0010，则采用（ ）。

- A. 原码
- B. 补码
- C. 反码
- D. 移码

2-029 选择题

下列为 8 位移码整数 $[x]$ 移，偏置为 128。求 $[-x]$ 移时，哪一项会发生溢出（ ）？

- A. 1111 1111
- B. 0000 0000
- C. 1000 0000
- D. 0111 1111

2-030 选择题

一个 8 位二进制整数的编码由 2 个 0 和 6 个 1 组成，采用补码或移码表示。下列说法正确的是（ ）。

- A. 若采用移码、偏置为 127，则此整数最小为 -64
- B. 若采用移码、偏置为 128，则此整数最大为 123
- C. 若采用补码，则此整数最小为 -96
- D. 若采用补码，则此整数最大为 252

2-031 选择题

用 2 个 1 和 6 个 0 组成的 8 位二进制补码，所能表示的最大整数与最小整数之差为（ ）。

- A. 223
- B. 128
- C. 191
- D. 159

2-032 选择题

关于补码，下列叙述中属于其特点的是（ ）。

- I. 零的表示唯一 II. 符号位可与数值位一起参加运算 III. 与真值的对应关系简单、直观 IV. 减法可用加法实现
- A. I、II B. I、III
- C. I、II、III D. I、II、IV

2-033 选择题

在计算机中，通常用来表示主存地址的是（ ）。

- [illegible]

2-034 选择题

将 16 位补码 0x8FA0 扩展为表示同一数值的 32 位补码, 应为 ()。

- A.** 0x00008FA0
- B.** 0xFFFF8FA0
- C.** 0xFFFFFFFFA0
- D.** 0x80008FA0

2.2 运算方法和运算电路

2-035 选择题

算术逻辑单元 (ALU) 的核心部件是 ()。

- A. 多路选择器 B. 移位器
C. 加法器 D. 寄存器

2-036 选择题

算术逻辑单元 (ALU) 的功能通常包括 ()。

- A. 算术运算
- B. 逻辑运算
- C. 算术运算和逻辑运算
- D. 加法运算

2-037 选择题

8位补码定点整数0101 0101算术左移两位, 保留8位后的机器数为 ()。

- A. 0100 0111
- B. 0101 0100
- C. 0100 0110
- D. 0101 0101

2-038 选择题

下列补码整数存放于8位寄存器中, 算术左移一位不会发生溢出的是 ()。

- A. 80H
- B. 90H
- C. B0H
- D. C0H

2-039 选择题

8位补码定点整数1001 0101算术右移一位后的机器数为 ()。

- A. 0100 1010
- B. 01001010 1
- C. 1000 1010
- D. 1100 1010

2-040 选择题

两个机器数7E5H和4D3H相加, 得到 ()。

- A. BD8H
- B. CD8H
- C. CB8H
- D. CC8H

2-041 选择题

机器字长为8位（含1位符号位）。若机器数BAH为补码，分别从原数出发算术左移一位和算术右移一位，结果是（ ）。

- A. F4H, EDH
- B. B4H, 6DH
- C. 74H, DDH
- D. B5H, EDH

2-042 选择题

在定点运算器中，无论采用双符号位还是单符号位，必须有（ ）。

- A. 译码电路，一般用与非门实现
- B. 编码电路，一般用或非门实现
- C. 溢出判断电路，一般用异或门实现
- D. 移位电路，一般用与或非门实现

2-043 选择题

机器运算发生溢出的根本原因是（ ）。

- A. 寄存器的位数有限
- B. 运算中将符号位的进位丢弃
- C. 运算中将符号位的借位丢弃
- D. 数据运算中发生错误

2-044 选择题

两个整数用8位补码表示为 $r_1 = F5H$ 、 $r_2 = EEH$ 。结果存入8位寄存器，下列运算会发生有符号溢出的是（ ）。

- A. $r_1 + r_2$
- B. $r_1 - r_2$
- C. $r_1 \times r_2$
- D. r_1 / r_2

2-045 选择题

关于模4补码，下列说法正确的是（ ）。

- A. 模4补码与模2补码不同，不容易检查乘除运算中的溢出问题
- B. 每个未溢出的模4补码数在存储时只需保存一个符号位
- C. 存储每个模4补码数必须保存两个符号位
- D. 模4补码在算术逻辑部件中只使用一个符号位

2-046 选择题

采用双符号位时，两个正数相加产生正溢出的特征是双符号位为（ ）。

- A. 00
- B. 01
- C. 10
- D. 11

2-047 2009 年统考 · 第 12 题

【2009统考真题】一个C 语言程序在一台32位机器上运行。程序中定义了三个变量x, y, z，其中x 和 Z为 int 型，y 为 short 型。当x=127,y=-9 时，执行赋值语句z=x+y

后，x, y, z 的值分别是（ ）。

- A. x=0000007FH, y=FFF9H, z=00000076H
- B. x=0000007FH, y=FFF9H, z=FFFF0076H
- C. x=0000007FH, y=FFF7H, z=FFFF0076H
- D. x=0000007FH, y=FFF7H, z=00000076H

2-048 2024 年统考 · 第 12 题

【2024统考真题】C语言代码段如下，执行该代码段后，j的值是（ ）。

```
int i=32777;

short si=i;

int j=si ;
```

- A. -32777
- B. -32759
- C. 32759
- D. 32777

2-049 选择题

判断补码加减溢出时，设C₀为符号位的进位输出，C₁为进入符号位的进位。产生溢出的条件是（ ）。

I. C₀产生进位；II. C₁产生进位；III. C₀、C₁都产生进位；IV. C₀、C₁都不产生进位；V. C₀产生进位、C₁不产生进位；VI. C₀不产生进位、C₁产生进位。

- A. I和II
- B. III
- C. IV
- D. V和VI

2-050 2010 年统考 · 第 13 题

假定有4个整数用8位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个8位寄存器中, 则下列运算中会发生溢出的是 ()。

- A. $r1 \times r2$
- B. $r2 \times r3$
- C. $r1 \times r4$
- D. $r2 \times r4$

2-051 2014 年统考 · 第 13 题

【2014统考真题】若 $x=103$, $y=-25$, 则下列表达式采用8位定点补码运算实现时, 会发生溢出的是 ()。

- A. $x+y$
- B. $-x+y$
- C. $x-y$
- D. $-x-y$

2-052 2018 年统考 · 第 13 题

【2018统考真题】假定有符号整数采用补码表示, 若 int 型变量 x 和 y 的机器数分别是 $FFFF\ FFDFH$ 和 $00000041H$, 则 x 、 y 的值及 $x-y$ 的机器数分别是 ()。

- A. $x=-65$, $y=41$, $x-y$ 的机器数溢出
- B. $x=-33$, $y=65$, $x-y$ 的机器数为 $FFFFFF9DH$
- C. $x=-33$, $y=65$, $x-y$ 的机器数为 $FFFF\ FF9EH$
- D. $x=-65$, $y=41$, $x-y$ 的机器数为 $FFFF\ FF96H$

2-053 选择题

补码加减中用两位符号位判断溢出。当两位符号位 $S_1S_2=10$ 时, 表示 ()。

- A. 结果为正数, 无溢出
- B. 结果正溢出
- C. 结果负溢出
- D. 结果为负数, 无溢出

2-054 2013 年统考 · 第 14 题

【2013统考真题】某字长为8位的计算机中, 已知整型变量 x 、 y 的机器数分别为 $[x]_{\text{补}} = 11110100$, $[y]_{\text{补}} = 10110000$ 。若整型变量 $z=2x+y/2$, 则 z 的机器数为 ()。

- A. 11000000
- B. 00100100
- C. 10101010
- D. 溢出

2-055 2025 年统考 · 第 14 题

假设在 8 位字长的计算机中，两个带符号整数 x 和 y 的补码表示分别为 $[x]_{\text{补}} = A3H$ 、 $[y]_{\text{补}} = 75H$ ，则通过补码加减运算器得到的 $x-y$ 的值及 OF 标志分别为（ ）。

- A. 24,0
- B. 24,1
- C. 46,0
- D. 46,1

2-056 选择题

设 $[X]_{\text{补}} = X_0X_1X_2\dots X_n$ ，其中 X_0 为符号位、 X_1 为最高数值位。算术左移一位会发生溢出的条件是（ ）。

- A. $X_0 = X_1$
- B. $X_0 \neq X_1$
- C. $X_1 = 0$
- D. $X_1 = 1$

2-057 2024 年统考 · 第 15 题

【2024统考真题】下列关于整数乘法运算的叙述中，错误的是（ ）。

- A. 用阵列乘法器实现的乘运算可以在一个时钟周期内完成
- B. 用 ALU 和移位器实现的乘运算无法在一个时钟周期内完成
- C. 变量与常数的乘运算可编译优化为若干移位及加减运算指令
- D. 两个变量的乘运算无法编译转换为移位及加法等指令的循环实现

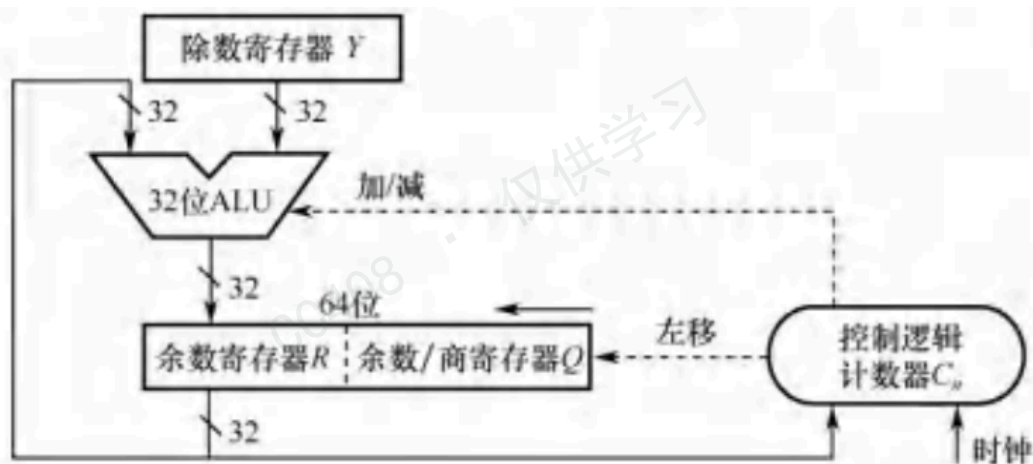
2-058 选择题

采用逐位加法与移位的 32 位无符号整数乘法电路，每轮安排一次 ALU 操作（可为加 0）和一次移位，各需 1 个时钟周期。不计初始化与结束开销，完成一次乘法约需（ ）个周期。

- A. 16
- B. 64
- C. 96
- D. 100

2-069 选择题

某计算机采用下图所示的补码除法器执行32位补码整数除法运算，当除数寄存器Y与余数/商寄存器Q的初始值为（ ）时，除法执行时间最短（Y、Q均为补码表示）。



A. $Y = \text{FFFF FFFF}$, $Q = 80000000$

B. $Y = 80000000$, $Q = \text{FFFF FFFF}$

C. $Y = \text{FFFF FFFF}$, $Q = \text{FFFFFFFF}$

D. $Y = 80000000$, $Q = 80000000$

2-070 综合题

32位寄存器R1中的机器数为8000 0004H。unsigned int情形使用逻辑移位，int情形使用补码算术移位；移位后R1只保留32位。

(1) 把x解释为unsigned int：求x真值，x/2后的机器数与真值，以及2x后的机器数。对2x同时给出无限精度数学结果和截断后的寄存器无符号值。

(2) 把x解释为int：回答同样的问题，并判断左移对应的乘2是否发生有符号溢出。

2-071 综合题

$x = -68$ 、 $y = -80$ ，用8位补码分别存入寄存器A、B，另有8位寄存器C、D。最终位串请用十六进制表示。

(1) A、B内容各是什么？ (2) 把 $x+y$ 的8位结果存C，求C以及溢出标志OF、符号标志SF。 (3) 把 $x-y$ 的8位结果存D，求D以及OF、SF。

2-072 2011 年统考 · 第 43 题

假定在一个 8 位字长的计算机中运行如下 C 程序段：

```
unsigned int x = 134;
unsigned int y = 246;
int m = x;
int n = y;
unsigned int z1 = x - y;
unsigned int z2 = x + y;
int k1 = m - n;
int k2 = m + n;
```

若编译器编译时将 8 个 8 位寄存器 R1 ~ R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。（提示：带符号整数用补码表示）

- (1) 执行上述程序段后，寄存器 R1、R5 和 R6 的内容分别是什么（用十六进制表示）？
- (2) 执行上述程序段后，变量 m 和 k1 的值分别是多少（用十进制表示）？
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种运算能否利用同一个加法器及辅助电路实现？简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

2-073 2020 年统考 · 第 43 题

有实现 $x \times y$ 的两个 C 语言函数如下：

```
unsigned umul (unsigned x, unsigned y) { return x*y; }  
int imul (int x, int y) { return x * y; }
```

假定某计算机 M 中 ALU 只能进行加减运算和逻辑运算。请回答下列问题。

- (1) 若 M 的指令系统中没有乘法指令，但有加法、减法和移位等指令，则在 M 上也能实现上述两个函数中的乘法运算，为什么？
- (2) 若 M 的指令系统中有乘法指令，则基于 ALU、移位器、寄存器以及相应控制逻辑实现乘法指令时，控制逻辑的作用是什么？
- (3) 针对以下三种情况：①没有乘法指令；②有使用 ALU 和移位器实现的乘法指令；③有使用阵列乘法器实现的乘法指令，函数 `umul()` 在哪种情况下执行时间最长？哪种情况下执行的时间最短？说明理由。
- (4) n 位整数乘法指令可保存 $2n$ 位乘积，当仅取低 n 位作为乘积时，其结果可能会发生溢出。当 $n=32$ 、 $x = 2^{31} - 1$ 、 $y=2$ 时，带符号整数乘法指令和无符号整数乘法指令得到的 $x \times y$ 的 $2n$ 位乘积分别是什么（用十六进制表示）？此时函数 `umul()` 和 `imul()` 的返回结果是否溢出？对于无符号整数乘法运算，当仅取乘积的低位作为乘法结果时，如何用 $2n$ 位乘积进行溢出判断

2.3 浮点数的表示与运算

2-074 选择题

一个 C 算术表达式由 `char`、`int`、`long`、`double` 变量通过通常的算术运算组合，且无显式强制转换。按通常算术转换规则，最终类型及这四种类型的转换层级为（ ）。

- | | |
|---|---|
| A. <code>long</code> ; <code>int</code> → <code>char</code> → <code>double</code> → <code>long</code> | B. <code>long</code> ; <code>char</code> → <code>int</code> → <code>long</code> → <code>double</code> |
| C. <code>double</code> ; <code>char</code> → <code>int</code> → <code>long</code> → <code>double</code> | D. <code>double</code> ; <code>char</code> → <code>int</code> → <code>double</code> → <code>long</code> |

2-075 选择题

长度相同、格式不同的两种浮点数，前者阶码长、尾数短，后者阶码短、尾数长，其他约定相同。它们的范围和精度关系是（ ）。

- A. 范围和精度相同
- B. 前者表示范围大，但精度低
- C. 后者表示范围大且精度高
- D. 前者表示范围大且精度高

2-076 选择题

IEEE 754二进制浮点数的有效数符号与数值部分的表示方式，在下列编码中对应（ ）。

- A. 原码式
- B. 反码
- C. 补码
- D. 移码

2-077 选择题

IEEE 754 binary64的符号位1位、阶码11位、小数字段52位。其最小的有限规格化负数（数轴上最负的数）为（ ）。

- A. $-(2-2^{52}) \times 2^{(-1023)}$
- B. $-(2-2^{(-52)}) \times 2^{1023}$
- C. $-1 \times 2^{(-1024)}$
- D. $-(1-2^{(-52)}) \times 2^{2047}$

2-078 选择题

IEEE 754 binary32机器数41A4 C000H对应的十进制数为（ ）。

- A. 4.59375
- B. -20.59375
- C. -4.59375
- D. 20.59375

2-079 选择题

在浮点数编码表示中，下列哪一项由格式约定、不会作为独立字段写入每个机器数？

- A. 阶码
- B. 符号
- C. 尾数
- D. 基数

2-080 选择题

一个binary32浮点数、一个原码整数、一个补码整数、一个偏置为 2^{31} 的移码整数，其32位机器数均为F000 0000H。由大到小的顺序是（ ）。

- A. 浮、原、补、移
- B. 浮、移、补、原
- C. 移、原、补、浮
- D. 移、补、原、浮

2-081 选择题

采用规格化浮点数最主要是为了（ ）。

- A. 增加数据的表示范围
- B. 方便浮点运算
- C. 防止运算时数据溢出
- D. 充分利用有效数位，提高表示精度

2-082 选择题

设x采用IEEE 754 binary32格式。下列说法正确的是（ ）。

I. 当 $|x| < 2^{-126}$ 时，一律置为机器零。 II. 当 $|x| > 2^{127}$ 时，一律发生溢出。 III. 最小非规格化正数与最大非规格化负数的绝对值相等。 IV. 最大有限正数与最小有限负数的绝对值相等。

- A. I、II、III、IV
- B. I、II
- C. II、III、IV
- D. III、IV

2-083 选择题

按不设非规格化数的传统浮点模型讨论，下溢指非零精确结果出现哪种情况？下述“最小绝对值”均指非零可表示数的最小绝对值。

- A. 结果的绝对值小于机器可表示的最小绝对值
- B. 结果小于机器可表示的最小负数
- C. 结果小于机器可表示的最小正数
- D. 结果的最低有效位产生错误

2-084 选择题

判断浮点运算结果是否上溢，应在规格化、舍入后检查（ ）。

- A. 尾数是否上溢
- B. 尾数是否下溢
- C. 阶码是否上溢
- D. 阶码是否下溢

2-085 选择题

单精度浮点机器数4510 0000H表示的数为（ ）。

- A. $+1.125 \times 2^{10}$
- B. $+1.125 \times 2^{11}$
- C. $+0.125 \times 2^{11}$
- D. $+0.125 \times 2^{10}$

2-086 选择题

x 、 y 为binary32变量， $x=-126$ ， $y=15.75$ 。计算 $z=x+y$ ，对阶后的内部操作数表示如下，哪项正确？每项逗号前依次为符号位及8位偏置阶码，逗号后为含显式前导位的内部有效数。

- A. x 不变； y 为0 10000101, 0.001111110...0
- B. x 不变； y 为0 10000110, 0.001111110...0
- C. y 不变； x 为1 10000101, 0.001111110...0
- D. y 不变； x 为1 10000110, 0.001111110...0

2-087 2009 年统考 · 第 13 题

浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示，且位数分别为5位和7位（均含2位符号位）。若有两个数 $X=2^7 \times 29/32$ ， $Y=2^5 \times 5/8$ ，则用浮点加法计算 $X+Y$ 的最终结果是（ ）。

- A. 001111100010
- B. 001110100010
- C. 010000010001
- D. 发生溢出

2-088 2011 年统考·第 13 题

float型数据通常用IEEE754单精度浮点数格式表示。若编译器将float型变量x 分配在一个32位浮点 寄存器FR1中, 且x=-8.25, 则 FR1的内容是 ()。

- A.** C1040000H **B.** C2420000H
C. C1840000H **D.** C1C20000H

2-089 2013 年统考·第 13 题

【2013统考真题】某数采用 IEEE 754 单精度浮点数格式表示为C6400000H，则该数的值是（ ）。

- A.** -1.5×2^{13} **B.** -1.5×2^{12}
C. -0.5×2^{13} **D.** -0.5×2^{12}

2-090 2020 年统考·第 13 题

已知带符号整数用补码表示，float 型数据用 IEEE 754 标准表示，假定变量 x 的类型只能是 int 或 float。当 x 的机器数为 C8000000H 时，x 的值可能是（ ）。

- A.** -7×2^{27} **B.** -2^{16}
C. 2^{17} **D.** 25×2^{27}

2-091 2023 年统考·第 13 题

【2023统考真题】若short 型变量x=-8190，则x 的机器数是（ ）。

- A.** E002H **B.** E001H
C. 9FFFH **D.** 9FFE H

2-092 2025 年统考·第 13 题

已知 float 型变量用 IEEE754 单精度浮点数格式表示。若 float 型变量 x 的机器数为 47300000H; 则 x 的值为 ()。

- A.** 0.375×2^{14} **B.** 1.375×2^{14}
C. 0.375×2^{15} **D.** 1.375×2^{15}

2-093 选择题

x、y是binary32变量，分别由1和0.1初始化。0.1的二进制展开无限循环，采用就近舍入、遇中点取偶数。x+y的binary32机器数是（ ）。

- A. 3F80 0000H
- B. 3F8C CCCDH
- C. 3F8C CCCCH
- D. 3F80 000CH

2-094 2010 年统考 · 第 14 题

假定变量 i、f 和 d 的数据类型分别为 int、float 和 double（int 用补码表示，float 和 double 分别用 IEEE 754 单精度和双精度浮点数格式表示），已知 $i=785$ ， $f=1.5678e3$ ， $d=1.5e100$ 。若在 32 位机器中执行下列关系表达式，则结果为“真”的是（ ）。

- (I) $i = (\text{int})(\text{float})i$
- (II) $f = (\text{float})(\text{int})f$
- (III) $f = (\text{float})(\text{double})f$
- (IV) $(d+f)-d = f$

- A. 仅 I 和 II
- B. 仅 I 和 III
- C. 仅 II 和 III
- D. 仅 III 和 IV

2-095 2012 年统考 · 第 14 题

float 类型（即IEEE754 单精度浮点格式）能表示的最大正整数是（ ）。

- A. $2^{126}-2^{103}$
- B. $2^{127}-2^{104}$
- C. $2^{127}-2^{103}$
- D. $2^{128}-2^{104}$

2-096 2014 年统考 · 第 14 题

float 型数据常用IEEE754 单精度浮点格式表示。假设两个float 型变量x 和y 分别存放在32位寄存器 f1和 f2 中，若 $(f1)=\text{CC900000H}$ ， $(f2)=\text{B0C00000H}$ ，则x 和y 之间的关系为（ ）。

- A. $x < y$ 且符号相同
- B. $x < y$ 且符号不同
- C. $x > y$ 且符号相同
- D. $x > y$ 且符号不同

2-097 2015 年统考·第 14 题

【2015统考真题】下列有关浮点数加减运算的叙述中，正确的是（ ）。

- I. 对阶操作不会引起阶码上溢或下溢
- II. 右规和尾数舍入都可能引起阶码上溢
- III. 左规时可能引起阶码下溢
- IV. 尾数溢出时结果不一定溢出

- A. 仅 II、III
- B. 仅 I、II、IV
- C. 仅 I、III、IV
- D. I、II、III、IV

2-098 2016 年统考·第 14 题

某计算机字长为32位，按字节编址，采用小端 (Little Endian) 方式存放数据，假定有一个double型 变量，其机器数表示为1122334455667788H存放在00008040H 开始的连续存储单元中，则存储单元0000 8046H中存放的是（ ）。

- A. 22H
- B. 33H
- C. 66H
- D. 77H

2-099 2018 年统考·第 14 题

IEEE 754 单精度浮点格式表示的数中，最小的规格化正数是（ ）。

- A. 1.0×2^{-126}
- B. 1.0×2^{-127}
- C. 1.0×2^{-128}
- D. 1.0×2^{-149}

2-100 2020 年统考 · 第 14 题

在按字节编址, 采用小端方式的32位计算机中, 按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间。

```
struct record {  
    short x1;  
    int x2;  
} a;
```

若 a 的首地址为 2020FE00H, a 的成员变量 x2 的机器数为 12340000H, 则其中 34H 所在存储单元的地址是 ()。

- A. 2020FE04H
- B. 2020FE07H
- C. 2020FE05H
- D. 2020FE06H

2-101 2021 年统考 · 第 14 题

下列数值中, 不能用IEEE754 浮点格式精确表示的是 ()。

- A. 1.2
- B. 1.25
- C. 2.0
- D. 2.5

2-102 2022 年统考 · 第 14 题

-0.4375的 IEEE754单精度浮点数表示为 ()。

- A. BEE00000H
- B. BF600000H
- C. BF700000H
- D. COE00000H

2-103 2023 年统考 · 第 14 题

已知 float 型变量用 IEEE754 单精度浮点数格式表示。若 float 型变量 x 的机器数为80200000H, 则 x 的值 ()。

- A. -2^{-128}
- B. -1.01×2^{-127}
- C. -1.01×2^{-126}
- D. 非数(NaN)

2-104 2024 年统考 · 第 14 题

某科学实验中，需要使用大量的整型参数，为了保证表数精度的基础上提高运算速度，需要选择合理的数据表示方法。若整型参数 α 和 β 的取值范围分别为 $-2^{20} \sim 2^{20}$ 、 $-2^{40} \sim 2^{40}$ ，则下列选项中， α 和 β 最适宜采用的数据表示方法分别是（ ）。

- A. 32 位整数、32 位整数
- B. 单精度浮点数、单精度浮点数
- C. 32 位整数、双精度浮点数
- D. 单精度浮点数、双精度浮点数

2-105 选择题

在 IEEE 754 binary32 格式中，非规格化浮点数的编码条件是（ ）。

- A. 阶码字段为 0，小数字段非 0
- B. 阶码字段为 255，小数字段全 0
- C. 阶码字段为 255，小数字段非 0
- D. 阶码字段为 0，小数字段全 0

2-106 2012 年统考 · 第 15 题

某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 `int` 型和 `short` 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct {  
    int a;  
    char b;  
    short c;  
} record;  
  
record.a = 273;
```

若 `record` 变量的首地址为 `0xC008`，则地址 `0xC008` 中内容及 `record.c` 的地址分别为（ ）。

- A. `0x00`、`0xC00D`
- B. `0x00`、`0xC00E`
- C. `0x11`、`0xC00D`
- D. `0x11`、`0xC00E`

2-107 2018 年统考 · 第 15 题

某32位计算机按字节编址，采用小端方式。若语令 “int i=0” 对应指令的机器代码 为 “C745FC 00000000”，则语句 “int i=-64” 对应指令的机器代码是（ ）。

- A. C745 FC C0 FF FF FF
- B. C745 FC 0C FF FF FF
- C. C745 FC FF FF FF C0
- D. C745 FC FF FF FF 0C

2-108 2025 年统考 · 第 15 题

某32位计算机按字节编址，采用小端方式存放数据，编译器按边界对齐方式为下列 C 语言结构型数组变量 employee 分配存储空间。

```
struct record {  
    int id;  
    char name[10];  
    int salary;  
} employee[200];
```

数组 employee 的起始地址为 0000A0B0H，employee[1].id 的机器数为 12345678H，问 56H 的地址是多少？（ ）

- A. 0000 A0C3H
- B. 0000 A0C4H
- C. 0000 A0C5H
- D. 0000A0C6H

2-109 选择题

binary32加减运算的对阶阶段，某操作数的有效数需要右移。关于规格化数隐含的前导1，正确的是（ ）。

- A. 隐含1始终留在最高位，右移不会移动它
- B. 隐含1参与右移，但移位后应重新把最高位设为1
- C. 先把隐含1恢复到有效数中，再整体右移
- D. 非规格化数也含隐含1，所以同样恢复1后右移

2-110 选择题

两个同号、非零、有限的binary32规格化数相加，采用就近舍入、遇中点取偶数。设真实指数差的绝对值为 ΔE 。要对所有满足条件的操作数保证“较小数不会改变舍入结果”，最小的统一阈值是 $\Delta E \geq$ （ ）。

- A. 24
- B. 25
- C. 126
- D. 128

2-111 选择题

下列关于机器字长的叙述中，错误的是（ ）。

- A. 机器字长指CPU中定点运算数据通路的宽度
- B. 机器字长通常与通用寄存器位数一致
- C. 机器字长决定相应定点格式的表示范围和精度
- D. 机器字长对计算机硬件造价没有影响

2-112 选择题

本题采用基本数据类型的自然对齐规则：对齐要求等于该类型的字节长度。按边界对齐存储的含义是（ ）。

- A. 信息的字节长度必须为整数
- B. 信息单元的字节长度必须为整数
- C. 信息单元的存储地址必须为整数
- D. 信息单元的起始地址是其字节长度的整数倍

2-113 选择题

假设已定义三个 int 型变量x、y 和z, sizeof(int)=4,double 型采用IEEE 754 双精度浮点数格式，变量dx、dy 和dz 的声明和初始化如下：

```
double dx =(double)x;
```

```
double dy =(double)y;
```

```
double dz =(double)z;
```

则下列关系表达式中永远为真的是（ ）。

- I . $dx+dy==(\text{double})(x+y)$
 - II . $(dx+dy)+dz=dx+(dy+dz)$
- A. I 和II
 - B. 仅 I
 - C. 仅II
 - D. 无正确项

2-114 选择题

x、y、z为32位int，double为IEEE binary64，按通常逐次浮点运算求值。令：

```
double dx = (double)x;  
double dy = (double)y;  
double dz = (double)z;
```

下列关系式中，对全部给定整数输入都有定义且永远为真的是（ ）。

I. $dx+dy == (double)(x+y)$ II. $dx*dx >= 0$ III. $dx/dx == dy/dy$ IV. $(dx+dy)+dz == dx+(dy+dz)$

- A. I和II
B. II和III
C. III和IV
D. II和IV

2-115 选择题

计算机按字节编址，short占2字节，采用小端、按行优先存储。静态数组声明如下（保留来源的-1.5初始化项）：

```
static short b[2][4] = {{2, 9, -1.5}, {3, 1, -6, 2}};
```

若b首地址为0x8049820，则地址0x804982c的字节内容是（ ）。

- A. FAH
B. FFH
C. 00H
D. 05H

2-116 选择题

按字节编址、采用小端存放数据。int变量i位于0800 0000H，其32位机器数为0123 4567H。地址0800 0000H单元的内容是（ ）。

- A. 01H
B. 23H
C. 45H
D. 67H

2-117 选择题

按字节编址的32位计算机中，char占1字节，unsigned占4字节并按4字节对齐。结构体x首地址为0x8049820：

```
struct cont_info {  
    char id;  
    unsigned post;  
    char phone;  
} x;
```

phone的起始地址是（ ）。

- A. 0x8049828
- B. 0x8049826
- C. 0x8049825
- D. 0x8049822

2-118 选择题

在32位int、binary32 float、binary64 double模型下，i=12345，f由 1.2345×2^3 初始化。下列表达式为假的是（ ）。

- A. $i == (\text{int})(\text{double})i$
- B. $f == (\text{float})(\text{double})f$
- C. $i == (\text{int})(\text{float})i$
- D. $f == (\text{float})(\text{int})f$

2-119 选择题

按32位int、binary32 float和默认就近舍入执行：

```
int m = 13;  
float a = 12.6, x;  
x = m/2 + a/2;  
printf("%f\n", x);
```

输出为（ ）。

- A. 12.000000
- B. 12.300000
- C. 12.800000
- D. 12

2-123 综合题

$x = -68$ 、 $y = -8.25$ ，均为IEEE 754 binary32变量，分别存于32位寄存器A、B，另有32位寄存器C、D。

(1) A、B的机器数分别是什么？ (2) $x+y$ 的结果存C，求C的机器数。 (3) $x-y$ 的结果存D，求D的机器数。均用十六进制表示。

2-124 综合题

对下列binary32位串判断其类型，并在表示具体有限数值时给出真值：

- (1) 0000 0000 0000 0000 0000 0000 0000 0000 (2) 0100 0010 0100 0000 0000 0000 0000 0000
(3) 1000 0000 0100 0000 0000 0000 0000 0000 (4) 1111 1111 1000 0000 0000 0000 0000 0000

2-125 2017 年统考 · 第 43 题

已知 $f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = 11 \dots 1$ B, 计算 $f(n)$ 的 C 语言函数 f1 如下:

```
int f1(unsigned n) {  
    int sum=1, power=1;  
    for(unsigned i=0; i<= n -1; i++) {  
        power * = 2;  
        sum += power;  
    }  
    return sum ;  
}
```

将 f1 中的 int 都改为 float, 可得到计算 $f(n)$ 的另一个函数 f2。假设 unsigned 和 int 型数据都占 32 位, float 采用 IEEE754 单精度标准。请回答下列问题。

- (1) 当 $n=0$ 时, f1 会出现死循环, 为什么? 若将 f1 中的变量 i 和 n 都定义为 int 型, 则 f1 是否还会出现死循环? 为什么?
- (2) $f1(23)$ 和 $f2(23)$ 的返回值是否相等? 机器数各是什么 (用十六进制表示)?
- (3) $f1(24)$ 和 $f2(24)$ 的返回值分别为 33554431 和 33554432.0, 为什么不相等?
- (4) $f(31)=2^{32}-1$, 而 $f1(31)$ 的返回值却为 -1, 为什么? 若使 $f1(n)$ 的返回值与 $f(n)$ 相等, 则最大的 n 是多少?
- (5) $f2(127)$ 的机器数为 7F80 0000H, 对应的值是什么? 若使 $f2(n)$ 的结果不溢出, 则最大的 n 是多少? 若使 $f2(n)$ 的结果精确 (无舍入), 则最大的 n 是多少?

第3章 存储系统

计算机组成原理 · 做题本 · 157题

3.1 存储器概述

3-001 选择题

按存取方式分类，磁盘属于（ ）。

- A. 随机存储器（RAM）
- B. 只读存储器（ROM）
- C. 顺序存取存储器（SAM）
- D. 直接存取存储器（DAM）

3-002 选择题

存储器的存取周期是指（ ）。

- A. 存储器的读出时间
- B. 存储器的写入时间
- C. 连续两次读或写操作所允许的最短启动时间间隔
- D. 一次读或写操作所需的平均时间

3-003 选择题

相联存储器是一种特殊的存储器，其主要特点是（ ）。

- A. 通过地址总线指定存储单元进行读/写
- B. 按照后进先出原则访问数据
- C. 根据存储内容进行并行匹配查找
- D. 仅用于实现高速缓存中的直接映射结构

3-004 选择题

在通常的存储层次中，CPU不能像访问主存单元那样直接读写其介质内容的是（ ）。

- A. 硬盘
- B. 内存
- C. Cache
- D. 寄存器

3-005 选择题

计算机的存储器采用分级方式，主要是为了（ ）。

- A. 方便编程
- B. 协调容量、速度和价格之间的矛盾
- C. 保存大量数据方便
- D. 操作方便

3-006 选择题

计算机的存储系统包括（ ）。

- A. RAM
- B. ROM
- C. 主存储器
- D. 寄存器、Cache、主存储器和外存储器

3-007 选择题

在地址总线不复用、MAR完整保存主存地址、MDR每次保存一个总线数据字的基本模型中，下列说法正确的是（ ）。

- A. MAR位数等于地址总线宽度，MDR位数等于数据总线宽度
- B. MAR位数等于数据总线宽度，MDR位数等于地址总线宽度
- C. MAR和MDR位数都等于地址总线宽度
- D. MAR和MDR位数都等于数据总线宽度

3-008 选择题

多级存储体系中，Cache—主存结构主要解决（ ）。

- A. 主存容量不足
- B. 主存与辅存速度不匹配
- C. 辅存与CPU速度不匹配
- D. 主存与CPU速度不匹配

3-009 选择题

在通常的多级存储体系中，速度从快到慢的顺序是（ ）。

- A. 寄存器→主存→Cache→辅存
- B. 寄存器→主存→辅存→Cache
- C. 寄存器→Cache→辅存→主存
- D. 寄存器→Cache→主存→辅存

3-010 选择题

下列关于多级存储系统的说法中，正确的有（ ）。

I. 相比全部采用最高速器件，在满足容量和平均性能目标的前提下，分级存储有助于降低成本。 II. 虚拟存储器中主存与辅存之间的数据调动，对任何程序员都是透明的。 III. CPU只能与Cache直接交换信息，与主存交换信息也一律必须经过Cache。

- A. 仅 I
- B. 仅 I 和 II
- C. I、II 和 III
- D. 仅 II

3-011 选择题

某存储器的存储周期为250 ns，每次读出16位。连续访问时的最大数据传输率是（ ）。

- A. 4×10^6 B/s
- B. 16 MB/s
- C. 8×10^6 B/s
- D. 8×2^{20} B/s

3.2 主存储器

3-012 选择题

某SRAM芯片容量为1024×8位。地址引脚和数据引脚总数至少为（ ），不计电源及控制引脚。

- A. 8
- B. 10
- C. 18
- D. 13

3-013 选择题

某存储器容量为32K×16位，地址不采用分时复用，则（ ）。

- A. 地址线16根，数据线32根
- B. 地址线32根，数据线16根
- C. 地址线15根，数据线16根
- D. 地址线15根，数据线32根

3-014 选择题

DRAM的刷新通常以（ ）为单位。

- A. 存储单元
- B. 行
- C. 列
- D. 存储字

3-015 选择题

通常情况下，下列关于DRAM和SRAM的叙述中，错误的是（ ）。

I. DRAM集成度比SRAM高。 II. DRAM每位存储成本比SRAM高。 III. DRAM的随机访问速度比SRAM快。 IV. DRAM需要刷新，SRAM不需要刷新。

- A. I 和II
- B. II和III
- C. III和IV
- D. I 和IV

3-016 选择题

下列关于常见半导体RAM的说法中，正确的是（ ）。

- A. 信息可读可写，且断电后仍能保持
- B. DRAM易失，而SRAM非易失
- C. 两者均易失；SRAM需持续供电，DRAM还需满足刷新要求才能维持数据
- D. 半导体RAM是非易失性存储器

3-017 选择题

在教材通常采用的半导体RAM、ROM模型中，下列说法不正确的是（ ）。

- A. RAM和ROM不可以统一编址
- B. 随机存取的访问时间基本不取决于单元物理位置
- C. 常见RAM芯片可读可写，掉电后信息丢失
- D. 常见ROM可按地址随机读取，掉电后信息不丢失

3-018 选择题

在同一规则组织的半导体存储器中，下列叙述错误的是（ ）。

- A. 每个存储单元的宽度可以各不相同
- B. 编址是给每个可寻址单元分配编号
- C. 存储阵列由若干存储单元构成
- D. 存储单元包含若干存储元件，每个存储元件存储一个比特

3-019 选择题

通常情况下，下列关于SRAM和DRAM的叙述正确的是（ ）。

- A. SRAM依靠电容暂存电荷存储信息
- B. DRAM依靠双稳态电路存储0和1
- C. SRAM较慢且集成度较高，DRAM较快且集成度较低
- D. SRAM较快但集成度较低，DRAM较慢但集成度较高

3-020 选择题

某DRAM芯片容量为1024×8位，采用32行×32列的阵列组织及行列地址复用。地址引脚和数据引脚总数至少是（ ），不计控制与电源引脚。

- A. 18
- B. 13
- C. 8
- D. 17

3-021 选择题

下列采用常见实现的存储器中，属于易失性存储器的是（ ）。

- A. Cache
- B. EPROM
- C. Flash存储器
- D. CD-ROM

3-022 选择题

按底层Flash介质在传统半导体存储器中的分类，U盘主要使用的器件属于（ ）。

- A. 高速缓存
- B. 主存RAM
- C. 电可擦写ROM一类的Flash存储器
- D. 常规半导体随机读写存储器RAM

3-023 选择题

按教材包含RAM区和ROM区的主存模型，下列叙述错误的是（ ）。

- A. RAM可在正常工作中读写；ROM类器件以读取为主要用途，编程能力依类型而定
- B. RAM和常规ROM的读取都可按地址直接定位
- C. 系统主存可由RAM和ROM组成
- D. 系统主存全部必须由DRAM芯片实现

3-024 选择题

下列关于EPROM的说法正确的是（ ）。其中“作为RAM”指承担正常运行中频繁读写的工作存储器。

- A. EPROM可改写，因此可以当作常规RAM使用
- B. EPROM可擦除后重新编程，但不能按常规RAM的方式频繁读写
- C. EPROM不可改写，因此不能作为RAM
- D. EPROM只能改写一次，因此不能作为RAM

3-025 2017 年统考·第 13 题

【2017统考真题】某计算机主存按字节编址，由4个64M×8位的DRAM芯片采用交叉编址方式构成，并与宽度为32位的存储器总线相连，主存每次最多读/写32位数据。若double型变量x的主存地址为804001AH，则读取x需要的存取周期数是（ ）。

- A. 1
- B. 2
- C. 3
- D. 4

3-026 选择题

在教材将一次行刷新计作一个存储周期的简化模型中，下列属于动态半导体存储器特点的是（ ）。

I. 正常工作中逻辑内容会自行改变。 II. 需周期性按原内容恢复存储单元的电荷状态。 III. 完成一行刷新需要两个存储周期。 IV. 完成一行刷新只需一个存储周期。

- A. I、III
- B. II、III
- C. II、IV
- D. 只有III

3-027 2011 年统考 · 第 14 题

【2011统考真题】下列各类存储器中，不采用随机存取方式的是（ ）。

- A. EPROM
- B. CD-ROM
- C. DRAM
- D. SRAM

3-028 选择题

下列关于存储器层次结构的说法中，错误的是（ ）。

- A. Flash是非易失性存储器，其编程、擦除通常明显慢于读取
- B. 层次结构利用局部性原理缓解层级之间的速度差
- C. Cache位于CPU与主存之间，容量通常大于主存
- D. 辅存容量大、每位成本低但访问较慢，可长期保存程序和数据

3-029 2014 年统考 · 第 15 题

【2014统考真题】某容量为256MB的存储器由若干4M×8 位的DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是（ ）。

- A. 19
- B. 22
- C. 30
- D. 36

3-030 选择题

下列关于Flash存储器特性及应用的说法中，正确的是（ ）。

- A. 读写速度一致，均接近DRAM
- B. 属于易失性存储器
- C. 重新编程涉及恢复位状态时，通常需先按擦除粒度擦除，因而更新慢于读取
- D. 仅能用作U盘等辅助存储器

3-031 2010 年统考·第 16 题

【2010统考真题】下列有关 RAM 和 ROM 的叙述中，正确的是（ ）。

- I. RAM 是易失性存储器，ROM 是非易失性存储器
- II. RAM 和 ROM 都采用随机存取方式进行信息访问
- III. RAM 和 ROM 都可用作Cache
- IV. RAM 和 ROM 都需要进行刷新

- A. 仅 I 和 II
- B. 仅 II 和 III
- C. 仅 I、II 和 III
- D. 仅 II、III 和 IV

3-032 2012 年统考·第 16 题

【2012统考真题】下列关于闪存的叙述中，错误的是（ ）。

- A. 信息可读可写，并且读、写速度一样快
- B. 存储元件由MOS 管组成，是一种半导体存储器
- C. 掉电后信息不丢失，是一种非易失性存储器
- D. 采用随机访问方式，可替代计算机外部存储器

3-033 选择题

DRAM具有破坏性读出特性并需要定期刷新。下列说法不正确的是（ ）。

- A. 刷新通常以行为单位
- B. 刷新用于恢复存储电容对应的原数据状态
- C. 刷新可通过内部读出并恢复、但不向外输出数据的方式实现
- D. 具有刷新电路就绝不会影响CPU正常访存

3-034 2015 年统考·第 17 题

【2015统考真题】下列存储器中，在工作期间需要周期性刷新的是（ ）。

- A. SRAM
- B. SDRAM
- C. ROM
- D. Flash 存储器

3-035 2018 年统考·第 17 题

【2018统考真题】假定 DRAM 芯片中存储阵列的行数为 r 、列数为 c ，对于一个 $2K \times 1$ 位的DRAM芯片，为保证其地址引脚数最少，并尽量减少刷新开销，则 r 、 c 的取值分别是（ ）。

- A. 2048, 1
- B. 64, 32
- C. 32, 64
- D. 1, 2048

3-036 2022 年统考·第 17 题

【2022统考真题】某内存条包含8个 $8192 \times 8192 \times 8$ 位的DRAM 芯片，按字节编址，支持突发(burst)传送方式，对应存储器总线宽度为64位，每个 DRAM 芯片内有一个行缓冲区 (row buffer)。下列关于该内存条的叙述中，不正确的是（ ）。

- A. 内存条的容量为512 MB
- B. 采用多模块交叉编址方式
- C. 芯片的地址引脚为26位
- D. 芯片内行缓冲有 8192×8 位

3-037 选择题

下列关于传统异步DRAM和SDRAM的说法中，不正确的是（ ）。

- A. 传统异步DRAM与控制器通过异步时序配合
- B. SDRAM接口按时钟同步接收相应命令
- C. DRAM要定期刷新，而SDRAM不需要刷新
- D. SDRAM行缓冲器以静态锁存/感知放大电路保持激活行的数据

3-038 2015 年统考·第 18 题

某计算机使用4体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为8005,8006,8007,8008,8001,8002,8003,8004,8000, 则可能发生访存冲突的地址对是（ ）。

- A. 8004和8008
- B. 8001 和8008
- D. 8000 和8004
- B. 8002和8007

3-039 选择题

在数据位宽和其他组织不变、行列地址分时复用的模型中，若新增一根地址引脚分别使行、列地址各增加一位，则容量变为原来的（ ）倍。

- A. 2
- B. 4
- C. 8
- D. 16

3-040 选择题

一个内存条有16个DRAM芯片，每个芯片有4个位平面，每个位平面为4096行×4096列，每个阵列位置存1 bit。内存条容量为（ ）MiB。

- A. 64
- B. 128
- C. 256
- D. 512

3-041 选择题

某DRAM芯片容量为4M×4位，按2048行×2048列×4位组织，行列地址分时复用。下列说法错误的是（ ）。

- A. 芯片有11根复用地址引脚
- B. 内部刷新行地址计数器为11位
- C. 芯片内部一行缓冲容量为2 Kbit
- D. 芯片有4根数据引脚

3-042 选择题

单个存储体的存储周期为110 ns，总线传输周期为10 ns。低位交叉存储器要对连续字访问做到每个总线周期都启动一次无冲突访问，体数应（ ）。

- A. 小于11
- B. 等于11
- C. 大于11
- D. 大于或等于11

3-043 选择题

四体低位交叉存储器中，每个模块容量为 $64\text{K} \times 32$ 位，存储周期 200 ns ，总线周期 50 ns 。连续无冲突访问且流水线已进入稳态时，下列说法正确的是（ ）。

- A. 每 200 ns 可提供 256 位信息
- B. 每 200 ns 可提供 128 位信息
- C. 每个模块都可每 50 ns 提供 32 位信息
- D. 以上都不对

3-044 选择题

某机器采用四体低位交叉存储器，现分别执行下述操作：①读取 6 个连续地址单元中存放的存储字，重复 80 次；②读取 8 个连续地址单元中存放的存储字，重复 60 次。则①、②所花费的时间之比为（ ）。

- A. $1:1$
- B. $2:1$
- C. $4:3$
- D. $3:4$

3-045 选择题

若干 $16\text{K} \times 8$ 位芯片组成 $64\text{K} \times 8$ 位存储器，各芯片按低位交叉方式编址。地址 BFFFH 所在芯片的最小系统地址为（ ）。

- A. 0000H
- B. 0001H
- C. 0002H
- D. 0003H

3-046 选择题

下列关于单体多字存储器的说法中，不正确的是（ ）。

- A. 主要解决主存容量太小的问题
- B. 一个宽存储单元可保存多个机器字
- C. 指令和数据连续存放有利于提高带宽
- D. 频繁跳转可能降低一次读出多个连续字的利用率

3-047 选择题

多模块存储器能够提高整体访存吞吐率的主要原因是（ ）。

- A. 采用了高速元器件
- B. 各模块有独立的读写控制，可重叠或交叉工作
- C. 采用了信息预读技术
- D. 模块内各单元的系统地址连续

3-048 选择题

某内存条由8片16M×8位DRAM并行组成16M×64位，按字节编址，8片分别提供同一64位字的8个字节通道。一次对齐访问传送8 B，暂不计排队及行命中差异。double为8 B、int为4 B，其地址分别为20260000H、20261006H。下列说法错误的是（ ）。

- A. 8个字节通道各自对应连续且互不交错的系统字节地址段
- B. DRAM行缓冲以静态锁存电路保持激活行数据
- C. 读取double变量只需一次对齐访问
- D. 读取int变量需跨两个对齐的8 B访问块

3-049 选择题

【2014统考真题】某容量为256MB的存储器由若干4M×8位的DRAM芯片构成，该DRAM芯片的地址引脚和数据引脚总数是（ ）。

- A. 19
- B. 22
- C. 30
- D. 36

3-050 综合题

显示适配器采用1024×768像素、每像素3 B、刷新频率72 Hz的显示方式。总带宽的50%用于刷新屏幕，其余50%留给其他功能。

- (1) 计算刷新存储器所需的总带宽。 (2) 为达到该带宽，可采取哪些存储组织措施？

3-051 综合题

四体低位交叉存储器，每个模块容量 $64\text{K} \times 32$ 位，存储周期 200 ns 。

- (1) 在连续无冲突访问的稳态下，一个存储周期内可向CPU提供多少位信息？ (2) 若单体周期改为 400 ns ，“平均每 $0.1\text{ }\mu\text{s}$ 可提供32位”是否成立？说明吞吐间隔与第一次读出的延迟。

3-052 综合题

存储器有32个字，字长64位，分为4个模块。顺序方式中每模块占连续8个字；交叉方式中体号为字地址 $\bmod 4$ 。存储周期 $T=200\text{ ns}$ ，总线传输节拍 $\tau=50\text{ ns}$ 。连续读取字地址0、1、2、3，从空闲状态计时，首字在 T 时完成。求两种组织下的这批数据的读取带宽。

3-053 综合题

某计算机字长32位，单体存储周期 200 ns 。

- (1) 采用四体低位交叉，低2位为体号，数据顺序存放。总线足够快时，稳态最快多久输出一个字？带宽是多少？ (2) 若四体分别保存主存的四个连续大区间，即高2位为体号，顺序读取能否获得同样加速？ (3) 改为单体4字宽有什么好处和问题？ (4) 比较四体低位交叉与四读端口存储器。

3-054 综合题

四体低位交叉存储系统按序访问字地址：3、9、17、2、51、37、13、4、8、41、67、10。

指出可能产生体冲突的地址关系，并在“单体周期 $T=4\tau$ 、每 τ 最多发射一次、冲突时顺序等待、不重排请求”的模型下给出实际发生等待的位置。

3.3 主存储器与CPU 的连接

3-055 选择题

用 $16K \times 1$ 位芯片组成 $64K \times 8$ 位存储器，在字方向和位方向分别扩展（ ）倍。

A. 4、2

B. 8、4

C. 2、4

D. 4、8

3-056 选择题

某32位存储系统以4 B为一个可寻址字，用 $8K \times 8$ 位芯片组成总容量32 KiB、字长32位的存储体，应采用（ ）。

A. 位扩展

B. 字扩展

C. 字位扩展

D. 字位均不扩展

3-057 选择题

4片 $16K \times 8$ 位存储芯片，全部容量被利用时，可组成（ ）的存储器。

A. $32K \times 16$ 位

B. $16K \times 16$ 位

C. $32K \times 8$ 位

D. $8K \times 16$ 位

3-058 选择题

16片 $2K \times 4$ 位芯片组成字长16位的存储器，若全部容量被利用，可存储（ ）个16位字。

- A. 16K
- B. 32K
- C. 8K
- D. 2K

3-059 选择题

某CPU有24根地址线、32根数据线，主存按32位字编址。用 $512K \times 8$ 位RAM芯片填满全部主存地址空间，最多需要（ ）片。

- A. 256
- B. 512
- C. 64
- D. 128

3-060 选择题

地址线编号为 A_0 （最高位）至 A_{15} （最低位）。用 $4K \times 4$ 位芯片组成一个16 KiB、按字节编址的地址窗口，高2位确定窗口位置。选择窗口内芯片组的译码器应使用（ ）。

- A. A_2 、 A_3
- B. A_0 、 A_1
- C. A_{12} 、 A_{13}
- D. A_{14} 、 A_{15}

3-061 选择题

地址区间 $4000H \sim 43FFH$ 中，每个可寻址单元存16位。用4片相同芯片构成该区域并全部利用，每片容量为（ ）。

- A. 512×16 bit
- B. 256×8 bit
- C. 256×16 bit
- D. 1024×8 bit

3-062 选择题

内存按字节编址，地址从 $90000H$ 到 $CFFFFH$ 。用 $16K \times 8$ 位芯片构成该区域，至少需要（ ）片。

- A. 2
- B. 4
- C. 8
- D. 16

3-063 选择题

存储器按16位字编址，用最高3位作为片选码。片选码111选中某32K×16位芯片，该片对应的首、末字地址分别为（ ）。

- A. 00000H、01000H
- B. 38000H、3FFFFH
- C. 3800H、3FFFH
- D. 0000H、0100H

3-064 2009 年统考 · 第 15 题

【2009统考真题】某计算机主存容量为64KB，其中ROM区为 4KB，其余为RAM 区，按字节编址。现要用2K×8 位的ROM 芯片和4K×4 位的RAM 芯片来设计该存储器，需要上述规格的 ROM 芯片数和RAM 芯片数分别是（ ）。

- A. 1,15
- B. 2,15
- C. 1,30
- D. 2,30

3-065 2010 年统考 · 第 15 题

【2010统考真题】假定用若干2K×4 位的芯片组成一个8K×8 位的存储器，则地址0B1FH 所在芯片的最小地址是（ ）。

- A. 0000H
- B. 0600H
- C. 0700H
- D. 0800H

3-066 2011 年统考 · 第 15 题

【2011统考真题】某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8 位的RAM 芯片组成 32MB 的主存储器，则存储器地址寄存器MAR 的位数至少是（ ）。

- A. 22位
- B. 23 位
- C. 25位
- D. 26 位

3.4 外部存储器

3-071 选择题

下列关于外部存储器的说法中，错误的是（ ）。

- A. U盘使用的闪存属于可电擦除、可重写的非易失半导体存储器
- B. RAID技术可以提高单个盘片的磁记录密度和磁盘利用率
- C. 同一磁盘的非格式化容量大于扣除格式开销后的格式化容量
- D. 估算平均存取时间时，寻道时间和旋转等待时间常采用平均值

3-072 选择题

在采用传统CHS寻址的磁盘模型中，下列关于磁盘驱动器的叙述，错误的是（ ）。

- A. 送到磁盘驱动器的地址由磁头号、盘面号和扇区号组成
- B. 能使磁头移动到指定磁道，并发回寻道结束信号
- C. 能在指定扇区旋转到磁头下时识别扇区，并发回扇区符合信号
- D. 能对指定盘面的指定扇区进行读写

3-073 选择题

在磁盘控制器采用DMA、数据先传入主存的I/O模型下，下列叙述中错误的是（ ）。

- A. 设备可以按一个扇区作为最小读写单位
- B. 可由DMA机制在设备控制器与主存之间传输数据
- C. 数据传输通常以数据块为单位组织
- D. CPU无需控制器和主存，就能把盘片内容直接当作普通内存单元读写

3-074 选择题

若磁盘每磁道的数据量、寻道机构及其他条件不变，仅转速提高到原来的2倍，则（ ）。

- A. 平均寻道时间减为原来的一半
- B. 整个随机存取速度必定提高到原来的2倍
- C. 平均旋转延迟时间减为原来的一半
- D. 磁盘盘面连续传输速率不变

3-075 选择题

对于基于NAND闪存的SSD，以下关于底层闪存操作的叙述，错误的是（ ）。

- A. 读出与编程通常以页为基本单位
- B. 擦除以页为单位而不是以包含多页的擦除块为单位
- C. 底层页编程通常比页读取耗时更长
- D. 擦写寿命有限，磨损均衡有助于延长使用寿命

3-076 选择题

下列关于普通闪存SSD的说法中，错误的是（ ）。

- A. 基于非易失闪存存储数据
- B. 没有机械寻道和旋转延迟，通常具有比机械磁盘更好的随机访问性能
- C. 随机覆盖写可能引入读改写、垃圾回收等额外开销
- D. 因读写快，通常直接替代DRAM充当CPU普通访存的主存

3-077 选择题

某磁盘转速为7200转/分，每个磁道有160个扇区，每扇区512B。忽略寻道、旋转定位和间隔损失，理想连续传输速率为（ ）。本题1KB=1024B。

- A. $7200 \times 160 \text{KB/s}$
- B. 7200KB/s
- C. 9600KB/s
- D. 19200KB/s

3-078 选择题

某盘面有200个磁道，总数据容量60MB。各磁道数据量相同，一周时间25ms，每磁道8个扇区，每个扇区间隙通过时间1.25ms。忽略其他开销，盘面输出数据期间的最大传输速率、也即无额外缓冲时接口需承接的速率，为（ ）。

- A. 10MB/s
- B. 60MB/s
- C. 83.3MB/s
- D. 20MB/s

3-079 2013 年统考·第 20 题

【2013统考真题】下列选项中，用于提高RAID 可靠性的措施有（ ）。

- I. 磁盘镜像
- II. 条带化
- III. 奇偶校验
- IV. 增加 Cache 机制

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 I、III和IV
- D. 仅II、III和IV

3-080 2015 年统考·第 20 题

若磁盘转速为7200rpm, 平均寻道时间为8ms, 每个磁道包含1000个扇区, 则访问一个扇区的平均存取时间大约是（ ）。

- A. 8.1ms
- B. 12.2ms
- C. 16.3ms
- D. 20.5ms

3-081 2019 年统考·第 20 题

下列关于磁盘存储器的叙述中，错误的是（ ）。

- A. 磁盘的格式化容量比非格式化容量小
- B. 扇区中包含数据、地址和校验等信息
- C. 磁盘存储器的最小读写单位为一字节
- D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

3-082 2013 年统考·第 21 题

某磁盘的转速为10000rpm, 平均寻道时间是6ms, 磁盘传输速率是20MB/s, 磁盘控制器延时为0.2ms, 读取一个4KB的扇区所需的平均时间约为（ ）。

- A. 9ms
- B. 9.4ms
- C. 12ms
- D. 12.4ms

3-083 综合题

某硬磁盘共有4个记录面，记录区域内半径10cm、外半径15.5cm，道密度60道/cm，最外层位密度600bit/cm，转速6000转/分。第(1)(2)问采用每条磁道记录位数相同的传统模型，忽略边界取整和格式开销。

- (1) 求全盘磁道总数。
- (2) 求未格式化理论容量，以bit和B表示。
- (3) 一个文件超过一条磁道容量、但能放进同一柱面时，优先把它放在同一柱面是否合理？说明原因。
- (4) 若采用定长扇区记录，传统直接寻址的最小单位是什么？CHS地址包含哪些字段？
- (5) 另按每扇区512B、每磁道12个扇区计算。平均寻道时间10.5ms，忽略控制器和间隙开销，求读取一个扇区的平均时间。该问使用格式化后的扇区数据量，不把它直接替代第(2)问的原始位密度。

3.5 高速缓冲存储器

3-084 选择题

某Cache—主存系统中，主存数据容量为12MB，Cache数据容量400KB。若Cache只保存主存数据的副本，该存储系统对程序提供的主存容量为（ ）。

- | | |
|--------------------|---------------|
| A. 12MB+400KB | B. 12MB |
| C. 12MB-12MB+400KB | D. 12MB-400KB |

3-085 选择题

CPU本次请求读取一个字，Cache读缺失并执行整块回填。所请求数据送给CPU的粒度，以及主存向Cache回填的总数据粒度，分别为（ ）。

- | | |
|--------|--------|
| A. 块、页 | B. 字、字 |
| C. 字、块 | D. 块、块 |

3-086 选择题

Cache命中耗时2ns；先查Cache，缺失后访问主存额外耗时40ns。忽略其他开销，要使平均存取时间为3ns，命中率应约为（ ）。

- A. 92.5%
- B. 85%
- C. 97.5%
- D. 99.9%

3-087 选择题

关于Cache更新策略，下列说法正确的是（ ）。

- A. 读命中时选择全写法或回写法
- B. 写命中时选择回写法或写分配法
- C. 读缺失时选择全写法或写分配法
- D. 写缺失时选择写分配法或非写分配法

3-088 选择题

单处理器Cache—主存系统需要分别满足：①同一批块会被多次写，优先减少主存写流量；②每次写完成时要求主存同步得到新值，且不把尚未排空的写缓冲视为完成。适合①和②的策略分别是（ ）。

- A. 回写法、全写法
- B. 全写法、回写法
- C. 回写法、回写法
- D. 全写法、全写法

3-089 选择题

从源程序对变量与数组的访问模式分析，下列说法正确的是（ ）。数组v长度为N， $N > 1$ 。

```
int sumvec(int v[N]) {  
    int i, sum = 0;  
    for (i = 0; i < N; i++)  
        sum += v[i];  
    return sum;  
}
```

- A. 循环反复使用i和sum，主要体现二者的空间局部性
- B. i、sum以及每个只访问一次的v[i]都主要体现空间局部性
- C. 循环反复使用i和sum，体现二者的时间局部性
- D. 顺序访问v[i]本身证明每个数组元素都有时间局部性

3-090 选择题

数组a声明为int a[n][n][n]，按C语言行优先顺序存放， $n > 1$ 。忽略整数溢出，只研究地址序列。原程序的行号如下：

```
/* 1 */ int i, j, k, sum = 0;
/* 2 */ for (i = 0; i < n; i++)
/* 3 */     for (j = 0; j < n; j++)
/* 4 */         for (k = 0; k < n; k++)
/* 5 */             sum += a[k][j][i];
```

下列修改各自独立进行。请选出所有使“最内层循环相邻两次迭代的地址步长为一个int元素”的修改，并说明原程序及A—D四种情形的步长。

A. 交换第2行与第3行 B. 交换第2行与第4行 C. 把第5行改为sum += a[i][k][j]; D. 把第5行改为sum += a[j][i][k];

A. 将第2行与第3行互换

B. 将第2行与第4行互换

C. 将第5行改为sum += a[i][k][j];

D. 将第5行改为sum += a[j][i][k];

3-091 选择题

关于常规CPU数据Cache，下列描述正确的是（ ）。

A. 常规命中检测、块回填和替换等运行机制由硬件自动完成

B. Cache替换单位固定为一个字而不是一个块

C. 主存地址空间中的某一段独立地址专门属于Cache数据区

D. 任何时刻Cache中的数据都一定与主存副本相同

3-092 选择题

下列对Cache的一般性描述，哪些较合理（不是对任意程序的无条件保证）？

I. 指令流通常比离散的数据访问具有更好的空间局部性。 II. 在能利用空间局部性的范围内，适当增大块通常有助于提高命中率。 III. 对同一块的重复写，回写通常比写直达减少主存写入次数。

A. 仅III

B. 仅I、II

C. 仅II、III

D. I、II、III

3-093 选择题

Cache初始为空，共4行、2组，每组2行，每行存一个主存块。采用组号=主存块号mod 2，组内LRU替换。访问块号依次为：

1, 8, 1, 7, 8, 2, 7, 2, 1, 8, 3, 8, 2, 1, 3, 1, 7, 1, 3, 7。

缺失率为（ ）。

- A. 30%
- B. 50%
- C. 40%
- D. 45%

3-094 选择题

L1命中率94%；L2在L1未命中条件下的局部命中率85%。一次访问最终在L1或L2得到满足的全局命中率为（ ）。

- A. 97.9%
- B. 98.5%
- C. 99.1%
- D. 99.4%

3-095 选择题

某Cache共有M行，每K行组成一组， $M > 1$ 且K整除M。下列描述正确的是（ ）。

- A. $K=1$ 时为直接映射Cache
- B. $K=1$ 时为全相联Cache
- C. $K=M$ 时为直接映射Cache
- D. $1 < K < M$ 时为M/K路组相联Cache

3-096 选择题

Cache常见替换策略中，明确根据“近期访问过的块更可能再次使用”的时间局部性设计的是（ ）。

- A. RAND随机法
- B. FIFO先进先出法
- C. LRU近期最少使用法
- D. 都不是

3-097 选择题

主存数据容量为Cache数据容量的4096倍，Cache有64行，块大小一致，采用直接映射和写直达。标记阵列包括各行的标记字段与1位有效位，不计其他实现开销。其总大小为（ ）。

- A. $6 \times 4097\text{bit}$
- B. $64 \times 12\text{bit}$
- C. $6 \times 4096\text{bit}$
- D. $64 \times 13\text{bit}$

3-098 2009 年统考 · 第 14 题

某计算机的Cache 共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache 组号是（ ）。

- A. 0
- B. 1
- C. 4
- D. 6

3-099 2017 年统考 · 第 14 题

【2017 统考真题】某 C 语言程序段如下：

```
for (i = 0; i <= 9; i++) {  
    temp = 1;  
    for (j = 0; j <= i; j++)  
        temp *= a[j];  
    sum += temp;  
}
```

下列关于数组 a 的访问局部性的描述中，正确的是（ ）。

- A. 时间局部性和空间局部性皆有
- B. 无时间局部性，有空间局部性
- C. 有时间局部性，无空间局部性
- D. 时间局部性和空间局部性皆无

3-100 选择题

Cache数据区128KB，每块16B，采用8路组相联，按字节编址，组号使用块号的低位。字节地址1234567H对应的标记字段为（ ）。

- A. 1234H
- B. 2468H
- C. 048DH
- D. 12345H

3-101 2015 年统考·第 15 题

【2015统考真题】假定主存地址为32位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为4个字，每字32位，采用回写方式，则能存放4K 字数据的 Cache 的总容量的位数至少是（ ）。

- A. 146K
- B. 147K
- C. 148K
- D. 158K

3-102 2016 年统考·第 15 题

【2016 统考真题】有如下 C 语言程序段：

```
for (k = 0; k < 1000; k++)  
    a[k] = a[k] + 32;
```

若数组 a 和变量 k 均为 int 型，int 型数据占 4B，数据 Cache 采用直接映射方式，数据区大小为 1KB、块大小为 16B，该程序段执行前 Cache 为空，则该程序段执行过程中访问数组 a 的 Cache 缺失率约为（ ）。

- A. 1.25%
- B. 2.5%
- C. 12.5%
- D. 25%

3-103 选择题

主存容量1MB，Cache数据区16KB，按字节编址。每块8个字，每字32位，采用直接映射，各编号从0开始。地址 35301H命中时位于Cache的第（ ）行。

- A. 152
- B. 153
- C. 154
- D. 151

3-104 2021 年统考·第 16 题

【2021统考真题】若计算机主存地址为32位，按字节编址，Cache 数据区大小为32KB，主存块大小为32B，采用直接映射方式和回写法(Write Back)，则Cache 行的位数至少是（ ）。

- A. 275
- B. 274
- C. 258
- D. 257

3-105 2022 年统考 · 第 16 题

【2022统考真题】若计算机主存地址为32位，按字节编址，某Cache 的数据区容量为 32KB，主存块大小为 64B，采用8路组相联映射方式，该 Cache 中比较器的个数和位数分别为（ ）。

- A. 8,20
- B. 8,23
- C. 64,20
- D. 64,23

3-106 选择题

对于由高速缓存、主存、硬盘构成的三级存储系统，CPU 直接根据（ ）进行访问。

- A. 高速缓存地址
- B. 虚拟地址
- C. 主存物理地址
- D. 磁盘地址

3-107 选择题

在启用虚拟存储的系统中，CPU执行访存指令后、经过MMU地址翻译之前形成的地址为（ ）。

- A. Cache的独立地址
- B. 虚拟地址
- C. 主存物理地址
- D. 磁盘地址

3-108 2012 年统考 · 第 17 题

【2012统考真题】假设某计算机按字编址，Cache 有 4 行，Cache 和主存之间交换的块大小为1个字。若Cache 的内容初始为空，采用2路组相联映射方式和LRU 算法，则访问的主存地址依次为0,4,8,2,0,6,8,6,4,8时，命中 Cache 的次数是（ ）。

- A. 1
- B. 2
- C. 3
- D. 4

3-109 选择题

逻辑空间有8页，每页1024B，映射到有32个页框的物理存储区。均按字节编址，覆盖这些空间所需的逻辑地址和物理地址位数分别为（ ）。

- A. 10、12
- B. 10、15
- C. 13、15
- D. 13、12

3-110 选择题

n路组相联Cache保持路数n、主存地址空间和Cache数据容量不变，主存块和Cache块大小均翻倍；原来至少有两组，参数均为2的幂。下列描述正确的是（ ）。

- A. 块内地址增加1位，Tag增加1位
- B. 块内地址增加1位，Tag不变
- C. 块内地址减少1位，Tag增加1位
- D. 块内地址位数翻倍，Tag位数减半

3-111 选择题

Cache有16行，每块16B，可配置为直接映射或2路组相联，采用低位取模映射。主存按字节编址。下列哪对不同主存单元所在的块，在直接映射时竞争同一行，在2路组相联时也竞争同一组（ ）？

- A. 52号与102号
- B. 48号与308号
- C. 60号与160号
- D. 46号与236号

3-112 选择题

主存地址32位，按字节编址；全相联Cache的数据区能存32K个字，每字32位，每块1个字。采用回写与随机替换，每行有1位有效位和1位脏位；不计ECC及随机源等额外电路。总容量至少为（ ）bit。

- A. 1536K
- B. 1568K
- C. 2016K
- D. 2048K

3-113 2009 年统考 · 第 21 题

假设某计算机的存储系统由Cache 和主存组成, 某程序执行过程中访存1000次, 其中访问Cache缺失 (未命中) 50次, 则Cache 的命中率是 ()。

- A. 5%
- B. 9.5%
- C. 50%
- D. 95%

3-114 选择题

按字节编址, Cache共有64行, 4路组相联, 每块32B。采用组号=主存块号mod组数, 编号从0开始。2593号字节所在块映射到的组号是 ()。

- A. 1
- B. 15
- C. 14
- D. 4

3-115 选择题

主存每次只能处理一个非突发读事务, 各事务三个阶段均不重叠: 地址与读命令1周期, 准备一个8B数据8周期, 传送该数据1周期。Cache块64B, 总线与存取宽度均8B。忽略脏块写回, 一次整块回读的缺失损失为 () 周期。

- A. 64
- B. 72
- C. 80
- D. 160

3-116 选择题

8个存储模块交叉组织, 支持长度为8的突发读。发送首地址和命令1周期, 随后准备首个数据8周期, 再用连续8周期每周期传送8B。块大小64B, 忽略其他开销。一次整块回读的缺失损失为 () 周期。

- A. 17
- B. 20
- C. 33
- D. 80

3-117 选择题

下列关于Cache 替换算法的叙述中，错误的是（ ）。

- A. 组相联映射和全相联映射都必须考虑如何进行替换
- B. 先进先出算法无须对每个 Cache 行记录替换信息
- C. 直接映射是多对一的映射，无须考虑替换问题
- D. LRU 算法需要对每个Cache 行记录替换信息

3-118 选择题

下列关于Cache替换算法的叙述中，错误的是（ ）。

- A. 组相联映射和全相联映射都必须考虑如何进行替换
- B. FIFO完全不需要记录块进入Cache的先后顺序
- C. 直接映射是多对一的映射，无须考虑替换问题
- D. LRU需要记录能够反映近期访问顺序的状态

3-119 选择题

以下是关于Cache设计的一般叙述，错误的是（ ）。

- A. 块大小与总数据容量是两个不同的设计参数
- B. 其他条件相当时，增加Cache容量通常有助于降低容量缺失
- C. 教学中常见的块大小为几十至上百字节
- D. 只要增大块大小，任意程序的缺失率就一定下降

3-120 选择题

计算机按字编址，主存地址空间1M字，Cache数据区8K字，每块512字，采用2路组相联、组内并行比较。每次访问需要同时进行的Tag比较次数及每次位数分别为（ ）。

- A. 2、8
- B. 2、16
- C. 4、8
- D. 4、16

3-121 综合题

主存地址32位，按字节编址。数据Cache最多存128个主存块，采用4路组相联，每块64B。每行设置1位有效位，采用回写并设置1位脏位，组内随机替换。

- (1) 给出Tag、Index和Offset的位数及在地址中的位置（最低位编号0）。
- (2) 求Cache的总位数。计入数据、Tag、有效位和脏位，不计随机源、电路及ECC等额外实现开销。

3-122 综合题

Cache数据区容量64KB，每行128B，4路组相联；主存地址32位，按字节编址。

- (1) Cache共有多少行、多少组？
- (2) 标记阵列需要多少个标记项？每项的Tag多长？
- (3) 采用每行2位LRU次序字段的实现，每行另有1位有效位。不计其他额外开销，写直达和回写时的标记阵列容量分别是多少？回写每行多1位脏位；本问只算标记阵列，不含数据区。

3-123 综合题

数据Cache容量256B，每块32B；int占4B。只统计数组a的读请求，i、j、c、s均在寄存器，读操作不被编译器删除。a[128]按块边界对齐，Cache初始为空且无其他访问干扰。组号按主存块号对组数取模。

```
for (i = 0; i < 10000; i++)  
    for (j = 0; j < 128; j += s)  
        c = a[j];
```

- (1) 直接映射时，s=64和s=63的缺失率分别是多少？
- (2) 2路组相联时，两种步长的缺失率分别是多少？包含开始时的冷缺失。

3-124 2013 年统考 · 第 43 题

某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期是 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或者 32 位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或者计算过程。

- (1) CPU 和总线的时钟周期各是多少？总线的带宽（即最大数据传输率）为多少？
- (2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- (3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- (4) 若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需要 1.2 次访存，Cache 缺失率是 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

3-125 2010 年统考 · 第 44 题

某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B，数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B，其伪代码如下所示：

```
// 程序 A
int a[256][256];
.....
int sum_array1()
{
    int i, j, sum=0;
    for (i=0; i<256; i++)
        for (j=0; j<256; j++)
            sum += a[i][j];
    return sum;
}
```

```
// 程序 B
int a[256][256];
.....
int sum_array2()
{
    int i, j, sum=0;
    for (j=0; j<256; j++)
        for (i=0; i<256; i++)
            sum += a[i][j];
    return sum;
}
```

假定 int 类型数据用 32 位补码表示，程序编译时 i, j, sum 均分配在寄存器中，数组 a 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

- (1) 若不考虑用于 cache 一致性维护和替换算法的控制位，则数据 Cache 的总容量为多少？
- (2) 数组元素 a[0][31] 和 a[1][1] 各自所在的主存块对应的 Cache 行号分别是多少（Cache 行号从 0 开始）？
- (3) 程序 A 和 B 的数据访问命中率各是多少？哪个程序的执行时间更短？

3-126 2020 年统考 · 第 44 题

假定主存地址为 32 位，按字节编址，指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式，直写 (WriteThrough) 写策略和 LRU 替换算法，主存块大小为 64B，数据区容量各为 32KB。开始时 Cache 均为空。请回答下列问题。

(1) Cache 每一行中标记 (Tag)、LRU 位各占几位？是否有修改位？

(2) 有如下 C 语言程序段：

```
for(k = 0; k < 1024; k++)  
    s[k] = 2 * s[k];
```

若数组 s 及其变量 k 均为 int 型，int 型数据占 4B，变量 k 分配在寄存器中，数组 s 在主存中的起始地址为 008000C0H，则该程序段执行过程中，访问数组 s 的数据 Cache 缺失次数为多少？

(3) 若 CPU 最先开始的访问操作是读取主存单元 00010003H 中的指令，简要说明从 Cache 中访问该指令的过程，包括 Cache 缺失处理过程。

3.6 虚拟存储器

3-127 选择题

为使虚拟存储系统有效发挥作用，所运行程序应具有的特性是 ()。

- A. 不应含有过多的 I/O 操作
- B. 大小不应小于实际内存容量
- C. 应具有较好的局部性
- D. 顺序执行的指令不应过多

3-128 选择题

虚拟存储管理以程序访问的局部性为基础。下列哪项最完整地概括这一原理 ()。

- A. 执行过程中，对主存的访问在时间和空间上不是均匀分布的
- B. 只指空间局部性
- C. 只指时间局部性
- D. 只指代码顺序执行

3-129 选择题

虚拟存储器的常用管理方式有段式、页式、段页式，对于它们在与主存交换信息时的单位，以下表述正确的是（ ）。

- A. 段式采用“页”
- B. 页式采用“块”
- C. 段页式采用“段”和“页”
- D. 页式和段页式均仅采用“页”

3-130 选择题

虚拟存储器的管理方式有段式、页式、段页式。对于与主存交换信息的单位，下列表述正确的是（ ）。

- A. 段式采用“页”
- B. 页式按程序逻辑定义的可变长段与主存交换信息
- C. 段页式采用“段”和“页”
- D. 页式和段页式均仅采用“页”

3-131 选择题

就页的物理安置和换入换出机制而言，虚拟存储器通常（ ）。

- A. 对应用程序员透明，对系统程序员不透明
- B. 对应用程序员不透明，对系统程序员透明
- C. 对二者都不透明
- D. 对二者都透明

3-132 选择题

在虚拟存储器中，当程序正在执行时，由（ ）完成地址映射。

- A. 程序员
- B. 编译器
- C. 装入程序
- D. 操作系统

3-133 选择题

采用分页虚拟存储时，负责建立、维护进程的虚实地址映射，并在缺页时安排页面调入的是（ ）。

- A. 程序员
- B. 编译器
- C. 装入程序
- D. 操作系统

3-134 选择题

采用虚拟存储器的主要目的是（ ）。

- A. 提高主存芯片的物理存取速度
- B. 扩大程序可使用的逻辑存储空间
- C. 提高外存介质的物理存取速度
- D. 扩大外存介质的物理容量

3-135 选择题

下列关于分页虚拟存储地址转换的说法，错误的是（ ）。

- A. 把逻辑地址转换成物理地址
- B. 逻辑地址的位数必定比物理地址少
- C. 转换过程中可以发现页面未驻留
- D. MMU依据TLB中的页表信息或页表项进行转换

3-136 选择题

采用每个进程独立页表、每个虚页对应一个页表项的简化分页模型。下列叙述错误的是（ ）。

- A. 每个进程有自己的页表
- B. 每个表项对应一个虚页
- C. 表项包含页面是否驻留的存在位
- D. 任何进程都可以任意读写所有页表

3-137 选择题

对合法、具有磁盘后备且尚未驻留的页面，假定缺页处理能成功完成。下列叙述错误的是（ ）。

- A. 检测到页表存在位为0时触发缺页处理
- B. 缺页是设备引发的外部中断
- C. 处理程序根据页面后备位置从磁盘读入页面
- D. 处理结束后重试发生缺页的指令

3-138 选择题

下列关于传统段式虚拟存储管理的叙述，错误的是（ ）。

- A. 段是逻辑上相对独立的程序或数据块，长度可变
- B. 按段分配的主存块长度可变
- C. 段表需要记录段基址与段长或等价的界限信息
- D. 分段对低级语言程序员和编译器完全透明

3-139 选择题

在采用硬件相联查找的TLB中，下列说法正确的是（ ）。

- A. TLB和慢表都放在主存，只是TLB较小
- B. TLB仅靠优化软件搜索算法加快查找
- C. TLB的命中率一定高于主存页表
- D. TLB使用快速硬件比较虚页标记，从而加快地址翻译

3-140 2019 年统考 · 第 14 题

【2019统考真题】下列关于缺页处理的叙述中，错误的是（ ）。

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序来完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后回到发生缺页的指令的下一条指令执行

3-141 2020 年统考 · 第 15 题

【2020统考真题】下列关于TLB 和 Cache 的叙述中，错误的是（ ）。

- A. 命中率都与程序局部性有关
- B. 缺失后都需要去访问主存
- C. 缺失处理都可以由硬件实现
- D. 都由DRAM存储器组成

3-142 2022 年统考 · 第 15 题

某计算机主存地址为24位，采用分页虚拟存储管理方式，虚拟地址空间大小为4GB，页大小为4KB，按字节编址。某进程的页表部分内容如下表所示。当CPU 访问虚拟地址00082840H，虚-实地址转换的结果是（ ）。

虚页号	实页号（页框号）	存在位
82	024H	0
...	...	...
129	180H	1
130	018H	1

- A. 得到主存地址024840H B. 得到主存地址180840H
C. 得到主存地址018840H D. 检测到缺页异常

3-143 2013 年统考 · 第 16 题

【2013统考真题】某计算机主存地址空间大小为256 MB，按字节编址。虚拟地址空间大小为4GB，采用页式存储管理，页面大小为4KB，TLB（快表）采用全相联映射，有4个页表项，内容如下表所示。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

- A. 0153180H B. 0035180H
C. TLB 缺失 D. 缺页

3-144 2015 年统考·第 16 题

【2015 统考真题】假定编译器将赋值语句" $x = x + 3$;"转换为指令"`add xaddr, 3`", 其中 `xaddr` 是 x 对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 TLB, 且 Cache 使用直写方式, 则完成该指令功能需要访问主存的次数至少是 ()。

- A. 0
- B. 1
- C. 2
- D. 3

3-145 2024 年统考·第 16 题

【2024 统考真题】对于页式虚拟存储管理系统, 下列关于存储器层次结构的叙述中, 错误的是 ()。

- A. Cache- 主存层次的交换单位为主存块, 主存-外存层次的交换单位为页
- B. Cache- 主存层次替换算法由硬件实现, 主存-外存层次替换算法由软件实现
- C. Cache- 主存层次可采用回写法, 主存-外存层次通常采用回写法
- D. Cache- 主存层次可采用直接映射方式, 主存-外存层次通常采用直接映射方式

3-146 2010 年统考·第 17 题

【2010 统考真题】下列命令组合的一次访存过程中, 不可能发生的是 ()。

- A. TLB 未命中, Cache 未命中, Page 未命中
- B. TLB 未命中, Cache 命中, Page 命中
- C. TLB 命中, Cache 未命中, Page 命中
- D. TLB 命中, Cache 命中, Page 未命中

3-147 2024 年统考·第 17 题

某计算机按字节编址, 采用页式虚拟存储管理方式, 虚拟地址为 32 位, 主存地址为 30 位, 页大小为 1 KB。若 TLB 共有 32 个表项, 采用 4 路组相联映射方式, 则 TLB 表项中标记字段的位数至少是 ()。

- A. 17
- B. 18
- C. 19
- D. 20

3-148 2024 年统考 · 第 18 题

【2024统考真题】下列事件中，不是在MMU地址转换过程中检测的是（ ）。

- A. 访问越权
- B. Cache 缺失
- C. 页面缺失
- D. TLB 缺失

3-149 综合题

页大小1024B，按字节编址。以下表项中的所有数字均为十进制；页内地址前导0也不表示八进制。

虚页号	存在位	访问位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

对逻辑地址793、1197、2099、3320、4188、5332，分别指出是否缺页；若不缺页，计算物理地址。不考虑权限故障。

3-150 综合题

某分页系统的TLB记录如下。页框起始地址直接给出，所有数值为十进制；偏移均在页内。

虚页号	页框起始物理地址
32	42000
25	38000
7	96000
6	60000
4	40000
15	80000
5	50000
34	70000

求以下逻辑地址的翻译结果；若TLB未命中，说明仅凭此表还能确定什么。

- (1) 虚页号15，偏移0324； (2) 虚页号7，偏移0128； (3) 虚页号48，偏移0516。

3-151 综合题

某程序有4个物理页框，初始均空，按LRU替换。访问虚页序列为：

1,0,2,2,1,7,6,7,0,1,2,0,3,0,4,5,1,5,2,4,5,6,7,6,7,2,4,2,7,3

- (1) 画出各次访问后的页框内容。 (2) 给出缺页次数与主存命中率。

3-152 2023 年统考 · 第 43 题

已知计算机 M 字长为 32 位，按字节编址，采用请求调页策略的虚拟存储管理方式，虚拟地址为 32 位，页面大小为 4KB；数据 Cache 采用 4 路组相联映射，数据区大小为 8KB，主存块大小为 32B。现有 C 语言程序段如下：

```
for (i = 0; i < 24; i++)  
    for (j = 0; j < 64; j++) a[i][j] = 10;
```

已知二维数组 a 按行优先存放，在虚拟地址空间中分配的起始地址为 0042 2000H，sizeof(int)=4，假定在 M 上执行上述程序段之前数组 a 不在主存，且在该程序段执行过程中不会发生页面置换。请回答下列问题。

- (1) 数组 a 分为几个页面存储？对于数组 a 的访问，会发生几次缺页异常？页故障地址各是什么？
- (2) 不考虑变量 i 和 j，该程序段的数据访问是否具有时间局部性？为什么？
- (3) 计算机 M 的虚拟地址 (A31 ~ A0) 中哪几位用作块内地址？哪几位用作 Cache 组号？a[1][0] 的虚拟地址是多少？其所在主存块对应的 Cache 组号是多少？
- (4) 数组 a 占用多少主存块？假设上述程序段执行过程中数组 a 的访问不会和其他数据发生 Cache 访问冲突，则数组 a 的 Cache 命中率是多少？若将循环中 i 和 j 的次序按如下方式调换：

```
for (j = 0; j < 64; j++)  
    for (i = 0; i < 24; i++) a[i][j] = 10;
```

则数组 a 的 Cache 命中率又是多少？

3-153 2025 年统考 · 第 43 题

计算机 M 字长为 32 位，按字节编址，数据 cache 的数据区大小为 32KB，采 8 路组相联，主存块大小为 64B，cache 命中时间为 2 个时钟周期，缺失损失为 200 个时钟周期，采用页式虚拟存储，页大小为 4KB。数组 d 的起始地址为 0180 0020H (VA31 ~ VA0)。

- (1) 主存地址中的 Cache 组号，块内地址分别占几位？VA 中哪些位可以作为 Cache 索引。
- (2) d[100] 的 VA 是多少？d[100] 所在主存块中对应的 Cache 组号是多少？
- (3) 设代码已经在 cache 中，i,x 已装入内存，但不在 cache，则 d[0] 在其主存块内的偏移量是多少？执行 for 的过程中，访问 d 的 Cache 缺失率和数组元素的平均访问时间分别是多少？（缺失率用百分比表示，保留两位小数）
- (4) d 分布在几个页中？若代码已在主存，d 不在主存，则执行 for 的过程中，访问 d 所引起的缺页次数是？

```
int x, d[2048], i;  
for (i = 0; i < 2048; i++)  
    d[i] = d[i]/x;
```

3-154 2011 年统考·第 44 题

某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示，图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	...
0	1	06	...
1	1	04	...
2	1	15	...
3	1	02	...
4	0	—	...
5	1	2B	...
6	0	—	...
7	1	32	...

44-a 图 页表的部分内容

行号	有效位	标记	...
0	1	020	...
1	0	—	...
2	1	01D	...
3	1	105	...
4	1	064	...
5	1	01D	...
6	0	—	...
7	1	27A	...

44-b 图 cache 的部分内容

请回答下列问题：

- (1) 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？
- (2) 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。
- (3) 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。
- (4) 假定为该机配置一个 4 路组相连的 TLB，该 TLB 共可存放 8 个页表项，若其当前内容（十六进制）如题 44-c 图所示，则此时虚拟地址 024BACH 所在的页面是否在主存中？要求说明理由。

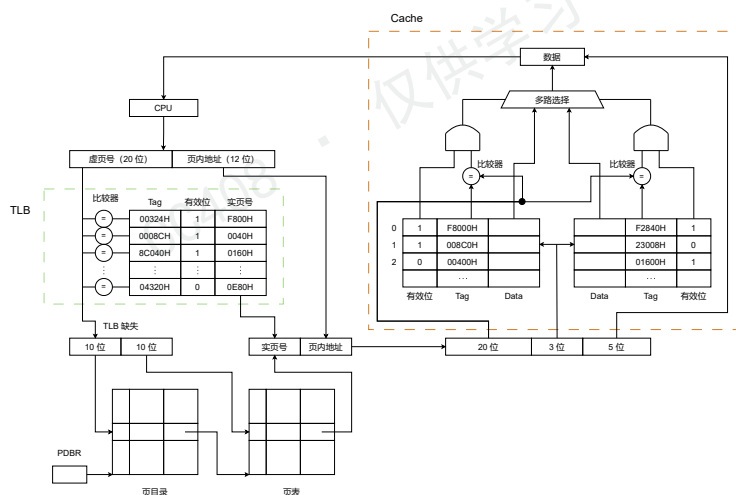
组号	有效位	标记	页框号	有效位	标记	页框号
0	0	—	—	1	001	15
	0	—	—	1	012	1F
1	1	013	2D	0	—	—
	1	008	7E	0	—	—

44-c 图 TLB 的部分内容

3-155 2018 年统考 · 第 44 题

某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如题 44 图所示。

根据题 44 图回答下列问题。



(1) 主存物理地址占多少位？

(2) TLB 采用什么映射方式？TLB 用 SRAM 还是 DRAM 实现？

(3) Cache 采用什么映射方式？若 Cache 采用 LRU 替换算法和回写 (Write Back) 策略，则 Cache 每行中除数据 (Data)、Tag 和有效位外，还应有哪些附加位？Cache 总容量是多少？Cache 中有效位的作用是什么？

(4) 若 CPU 给出的虚拟地址为 0008C040H，则对应的物理地址是多少？是否在 Cache 中命中？说明理由。若 CPU 给出的虚拟地址为 0007C260H，则该地址所在主存块映射到的 Cache 组号是多少？

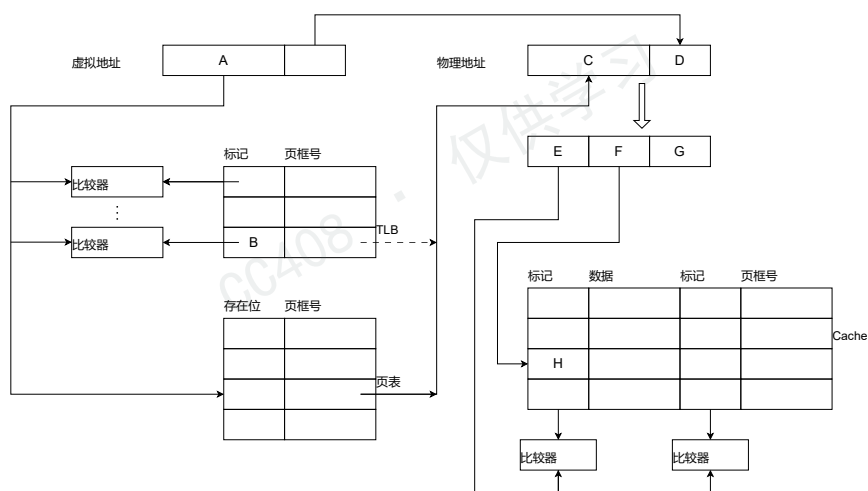
3-156 2021 年统考 · 第 44 题

假设计算机 M 的主存地址为 24 位，按字节编址；采用分页存储管理方式，虚拟地址为 30 位，页大小为 4KB；TLB 采用 2 路组相联方式和 LRU 替换策略，共 8 组。请回答下列问题。

- (1) 虚拟地址中哪几位表示虚页号？哪几位表示页内地址？
- (2) 已知访问 TLB 时虚页号高位部分用作 TLB 标记，低位部分用作 TLB 组号，M 的虚拟地址中哪几位是 TLB 标记？哪几位是 TLB 组号？
- (3) 假设 TLB 初始时空，访问的虚页号依次为 10、12、16、7、26、4、12 和 20，在此过程中，哪一个虚页号对应的 TLB 表项被替换？说明理由。
- (4) 若将 M 中的虚拟地址位数增加到 32 位，则 TLB 表项的位数增加几位？

3-157 2016 年统考 · 第 45 题

某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8KB；TLB 采用全相联映射；Cache 数据区大小为 64KB，按 2 路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如下。



请回答下列问题。

- (1) 图中字段 A ~ G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
- (2) 将块号为 4099 的主存块装入到 Cache 中时，所映射的 Cache 组号是多少？对应的 H 字段内容是什么？
- (3) Cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- (4) 为什么 Cache 可以采用直写 (Write Through) 策略，而修改页面内容时总是采用回写 (Write Back) 策略？

第4章 指令系统

计算机组成原理 · 做题本 · 85题

4.1 指令系统

4-001 选择题

下列关于指令集体系结构和指令系统的说法，错误的是（ ）。

- A. ISA位于计算机软件与硬件的交界面
- B. ISA描述低级语言程序员可见的概念结构和功能
- C. CPU直接执行程序最终落实为机器指令的执行
- D. 指令系统与机器语言无关

4-002 选择题

关于ISA的叙述，错误的是（ ）。

- A. 规定执行每条指令时内部每个控制信号的取值和时序
- B. 规定获取操作数的寻址方式
- C. 规定指令格式与操作类型
- D. 规定程序可见寄存器及编址、字节序等规则

4-003 选择题

运算型指令与转移型指令在寻址目的上的区别是（ ）。

- A. 前者寻找操作数，后者确定程序转移地址
- B. 前者确定程序转移地址，后者寻找操作数
- C. 前者一定为短指令，后者一定为长指令
- D. 前者一定为长指令，后者一定为短指令

4-004 选择题

程序控制类指令的主要功能是（ ）。

- A. 算术和逻辑运算
- B. 主存与CPU之间的数据传送
- C. CPU与I/O设备之间的数据传送
- D. 改变程序的执行顺序

4-005 选择题

下列哪项不属于能编写在程序中的程序控制指令（ ）。

- A. 无条件转移指令
- B. 条件转移指令
- C. 中断隐指令
- D. 循环控制指令

4-006 选择题

下列叙述错误的是（ ）。

- A. 指令长度与对齐规则由ISA规定，便于按其取指单位获取
- B. 单地址指令必定是固定长度指令
- C. 在其他条件相同时，一次取指即可取得完整指令有利于减少取指次数
- D. 单地址指令可显式给出一个地址，并隐含另一个操作数

4-007 选择题

某指令系统有200种操作，采用固定长度二进制操作码，至少需要几位（ ）。

- A. 4
- B. 8
- C. 16
- D. 32

4-008 选择题

定长指令格式采用扩展操作码，主要目的是（ ）。

- A. 必然减少指令字长
- B. 必然增加指令字长
- C. 保持指令字长不变，利用较少地址字段的格式增加可定义指令数
- D. 保持指令字长不变，保证每个地址字段变长

4-013 2017 年统考·第 16 题

【2017统考真题】某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令29条、二地址指令107条，每个地址字段为6位，则指令字长至少应该是（ ）。

- A. 24位
- B. 26 位
- C. 28位
- D. 32 位

4-014 2025 年统考·第 16 题

【2025统考真题】在下列选项中，由指令集体系结构 (ISA)规定的是（ ）。

- A. 是否采用阵列乘法器
- B. 是否采用定长指令字格式
- C. 是否采用微程序控制器
- D. 是否采用单总线数据通路

4-015 2022 年统考·第 18 题

【2022统考真题】下列选项中，属于指令集体系结构(ISA)规定的内容是（ ）。

- I. 指令字格式和指令类型
 - II. CPU 的时钟周期
 - III. 通用寄存器个数和位数
 - IV. 加法器的进位方式
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 II、IV
 - D. 仅 I、III、IV

4-016 2022 年统考·第 19 题

【2022统考真题】设计某指令系统时，假设采用16位定长指令字格式，操作码使用扩展编码方式，地址码为6位，包含零地址、一地址和二地址3种格式的指令。若二地址指令有12条，一地址指令有254条，则零地址指令的条数最多为（ ）。

- A. 0
- B. 2
- C. 64
- D. 128

4-020 综合题

设计一个36位定长指令系统的扩展操作码，使其能表示：

- (1) 7条指令，每条有两个15位地址和一个3位地址；
- (2) 500条指令，每条有一个15位地址和一个3位地址；
- (3) 50条无地址指令。

给出一种可译码、无前缀冲突的方案，并说明未使用编码如何处理。

4.2 寻址方式

4-021 选择题

指令系统采用不同寻址方式，主要目的是（ ）。

- A. 提供扩展操作码并降低所有指令译码难度
- B. 可缩短某些指令的地址字段、扩大可寻址范围并提高编程灵活性
- C. 仅实现程序控制
- D. 以上三项都正确

4-022 选择题

采用直接寻址的无条件转移指令，应把指令中给出的目标地址送入（ ）。

- A. PC
- B. ACC
- C. IR
- D. MAR

4-023 选择题

通用寄存器数远少于可寻址的主存单元数。为缩短指令中直接标识操作数位置的字段，可采用（ ）。

- A. 立即寻址
- B. 变址寻址
- C. 间接寻址
- D. 寄存器寻址

4-024 选择题

简化指令中显式地址结构的基本方法是尽量使用（ ）。

- A. 寄存器寻址
- B. 隐含地址
- C. 直接寻址
- D. 间接寻址

4-025 选择题

指令已经取入IR后，下列哪种方式可直接从指令中得到操作数，不需再读取操作数寄存器或数据存储器（ ）。

- A. 直接寻址
- B. 立即寻址
- C. 寄存器寻址
- D. 间接寻址

4-026 选择题

指令中的地址码本身就是操作数的有效地址，采用的是（ ）。

- A. 直接寻址
- B. 立即寻址
- C. 寄存器寻址
- D. 间接寻址

4-027 选择题

形式地址为A，变址寄存器为X。记 $R[X]$ 为寄存器内容， $M[a]$ 为存储地址a中的内容。先变址、后间址时，有效地址EA为（ ）。

- A. $M[PC+A]$
- B. $M[R[X]+A]$
- C. $R[X]+M[A]$
- D. $R[X]+A$

4-028 选择题

最便于按下标访问数组的寻址方式是（ ）。

- A. 间接寻址
- B. 变址寻址
- C. 相对寻址
- D. 基址寻址

4-029 选择题

某机规定相对转移目标 = 顺序后继指令地址 + 符号扩展后的位移。此时指令中的相对地址是（ ）。

- A. 独立操作数立即值，与地址无关
- B. 完整内存地址
- C. 相对本条指令首址的偏移
- D. 相对下条顺序指令首址的偏移

4-030 选择题

关于跳跃指令寻址的控制作用，下列概括最完整的是（ ）。

- A. 只用于程序浮动
- B. 只用于无条件或条件的程序浮动
- C. 可实现程序的无条件转移和条件转移
- D. 只用于程序调用

4-031 选择题

R1、R2均为16位。MOV R1,[R2]按寄存器间接方式装入16位数据。R2=1234H，M[1234H]=56H，M[1235H]=78H，按字节编址且为小端。执行后R1为（ ）。

- A. 5678H
- B. 7856H
- C. 8765H
- D. 6587H

4-032 选择题

机器字长16位，主存按字编址。转移指令共2字节，占1个存储字，位于4000H。取指后PC指向下一字，8位相对位移为06H，以取指后的PC为基准。目标地址为（ ）。

- A. 4002H
- B. 4004H
- C. 4007H
- D. 4008H

4-033 选择题

16位指令的低8位为D，位9—8为X，位15—10为操作码。X=00直接，01用X1变址，10用X2变址，11相对。PC=1234H，X1=0005H，X2=1188H。指令2222H的EA为（ ）。

- A. 1256H
- B. 0027H
- C. 2222H
- D. 11AAH

4-034 选择题

16位指令，主存按字节编址，每取1字节PC加1。当前指令地址2000H，是位移为40H、以取指后PC为基准的无条件相对转移。取指后及执行后PC依次为（ ）。

- A. 2000H, 2042H
- B. 2002H, 2040H
- C. 2002H, 2042H
- D. 2000H, 2040H

4-035 选择题

主存4M×16位，指令字长16位。固定操作码需区分97种操作，方式字段需区分直接、间接、基址、变址、相对、立即6种方式；其余位作为单一形式地址。相对位移用补码，其范围为（ ）。

- A. -32 ~ 31
- B. -64 ~ 63
- C. -128 ~ 127
- D. -256 ~ 255

4-036 2017 年统考 · 第 15 题

【2017统考真题】下列寻址方式中，最适合按下标顺序访问一维数组元素的是（ ）。

- A. 相对寻址
- B. 寄存器寻址
- C. 直接寻址
- D. 变址寻址

4-037 2019 年统考 · 第 15 题

【2019统考真题】某计算机采用大端方式，按字节编址。某指令中操作数的机器数为1234 FF00H，该操作数采用基址寻址方式，形式地址（用补码表示）为FF12H，基址寄存器的内容为F0000000H，则该操作数的LSB（最低有效字节）所在的地址是（ ）。

- A. F000 FF12H
- B. F000 FF15H
- C. EFFF FF12H
- D. EFFF FF15H

4-038 选择题

R中为200, $M[200]=300$, $M[300]=400$ 。下列哪种方式取得的操作数为200 ()。

- A. 直接寻址200
- B. 寄存器间接寻址R
- C. 存储器间接寻址200
- D. 寄存器直接寻址R

4-039 2009 年统考 · 第 16 题

某机器字长16位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节PC 自动加1。若某转移指令所在主存地址为2000H, 相对位移量字段的内容为06H, 则该转移指令成功转移后的目标地址是 ()。

- A. 2006H
- B. 2007H
- C. 2 008H
- D. 2009H

4-040 2011 年统考 · 第 16 题

【2011统考真题】偏移寻址通过将某个寄存器的内容与一个形式地址相加来生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ()。

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

4-041 2020 年统考 · 第 16 题

【2020 统考真题】某计算机采用16位定长指令字格式, 操作码位数和寻址方式位数固定, 指令系统有48条指令, 支持直接、间接、立即、相对4种寻址方式。在单地址指令中, 直接寻址方式的可寻址范围是 ()。

- A. 0 ~ 255
- B. 0 ~ 1023
- C. -128 ~ 127
- D. -512 ~ 511

4-042 选择题

某操作数采用寄存器间接寻址，寄存器编号8， $R[8]=1200H$ ， $M[1200H]=12FCH$ ， $M[12FCH]=38D8H$ ， $M[38D8H]=88F9H$ 。有效地址为（ ）。

- A. 1200H
- B. 12FCH
- C. 38D8H
- D. 88F9H

4-043 2011 年统考·第 17 题

【2011 统考真题】某机器有一个标志寄存器，其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF，条件转移指令 bgt（无符号整数比较大小时转移）的转移条件是（ ）。

- A. $CF+OF=1$
- B. $SF+ZF=1$
- C. $CF+ZF=1$
- D. $CF+SF=1$

4-044 2013 年统考·第 17 题

假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 的内容为 4000H，则变址寻址方式下访问到的操作数是（ ）。

- A. 1000H
- B. 2000H
- C. 3000H
- D. 4000H

4-045 2014 年统考·第 17 题

【2014 统考真题】某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段（含寻址方式位）为 8 位，STORE 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任意一个通用寄存器，且偏移量用补码表示，则 STORE 指令中偏移量的取值范围是（ ）。

- A. $-32768 \sim +32767$
- B. $-32767 \sim +32768$
- C. $-65536 \sim +65535$
- D. $-65535 \sim +65536$

4-046 2016 年统考·第 17 题

某指令格式如下所示。

OP	M	I	D
----	---	---	---

其中M 为寻址方式，I 为变址寄存器编号，D 为形式地址。若采用先变址后间址的寻址方式，则操作数的有效地址是（ ）。

- A. $I+D$
- B. $(I)+D$
- C. $((I)+D)$
- D. $((I))+D$

4-047 2023 年统考·第 17 题

【2023统考真题】某运算类指令中有一个地址码为通用寄存器编号，对应通用寄存器中存放的是操作数或操作数的地址，CPU区分两者的依据是（ ）。

- A. 操作数的寻址方式
- B. 操作数的编码方式
- C. 通用寄存器的编号
- D. 通用寄存器的内容

4-048 选择题

转移指令3B：第1字节为操作码，第2、3字节是16位补码位移，按小端存放。按字节编址，以取完该指令后的PC 为基准。以下两问均从本条指令首址十进制240开始，请分别选择位移的第2、3字节，并给出计算。

(1) 转移到十进制290。 (2) 转移到十进制200。

A. 2FH、FFH B. D5H、00H C. D5H、FFH D. 2FH、00H

- A. 2FH、FFH
- B. D5H、00H
- C. D5H、FFH
- D. 2FH、00H

4-049 2018 年统考·第 18 题

【2018统考真题】按字节编址的计算机中，某double 型数组A 的首地址为2000H，使用变址寻址和循环结构访问数组A，保存数组下标的变址寄存器的初值为0，每次循环取一个数组元素，其偏移地址为变址值乘以 sizeof(double)，取完后变址寄存器的内容自动加1。若某次循环所取元素的地址为2100H，则进入该次循环时变址寄存器的内容是（ ）。

- A. 25
- B. 32
- C. 64
- D. 100

4-050 选择题

机器按字节编址、大端，32位操作数机器数ABCD00FFH。基址C0000000H，16位补码位移FF00H。最低有效字节FFH位于（ ）。

- A. C000FF00H
- B. C000FF03H
- C. BFFFFFF00H
- D. BFFFFFF03H

4-051 选择题

下列关于指令的功能与分类的叙述，正确的是（ ）。

- A. 算术和逻辑指令都需要两个显式数据操作数
- B. 移位指令总是把两个数据操作数同时移动一位
- C. 转移、调用和返回主要解决数据的调用次序
- D. 特权指令用于受保护的系统管理操作，普通用户态程序不能直接执行

4-052 选择题

16位机器采用2字节分支指令。若条件成立，目标=本条指令地址+2+2×SEXT(Imm8)，否则执行顺序后继。CF按减法借位为1约定，ZF、SF、OF按比较的减法结果产生。下列叙述错误的是（ ）。

- A. 按字节编址
- B. 无符号大于可用ZF=0且CF=0判断
- C. 有符号大于只需SF异或OF为0，不必检查ZF
- D. 目标覆盖相对本指令前127条到后128条的指令起点

4-053 选择题

下列关于指令寻址与数据寻址的描述，错误的是（ ）。

- A. 中断响应的隐含硬件操作不是取出一条普通机器指令
B. 操作数寻址方式可由显式编码或隐含约定确定
C. 在普通可缓存指令访问中，Cache未命中后才需要向下层请求
D. 数据寻址方式不属于ISA规定内容

4-054 综合题

机器字长16位、主存按字编址，指令格式为：OP[15:10] | X[9:8] | D[7:0]。X=00直接，01使用X1变址，10使用X2变址，11相对。当前用于相对寻址的PC已经给出为1234H，X1=0037H、X2=1122H；以下D均为正位移，不再对已给PC增加取指步长。

分别求指令①4420H、②2244H、③1322H、④3521H、⑤6723H的有效地址，写出方式与计算。

4-055 综合题

机器字长16位，FLAGS含ZF、SF、OF。每条分支指令2字节，第2字节为8位补码Imm8。以下PC指本条指令的首地址：

若ZF 或 (SF 异或 OF) = 0，则 $PC \leftarrow PC + 2 + 2 \times \text{SEXT}(\text{Imm8})$ ；否则 $PC \leftarrow PC + 2$ 。

(1) 编址单位是什么？ (2) 该分支判断有符号还是无符号整数大于？ (3) Imm8的意义、可取范围和目标地址范围是什么？

4-056 2010 年统考 · 第 43 题

某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下：

15	12	11	6	5	0
OP	Ms	Rs	Md	Rd	
源操作数			目的操作数		

转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数 = (Rn)
001B	寄存器间接	(Rn)	操作数 = ((Rn))
010B	寄存器间接、自增	(Rn)+	操作数 = ((Rn)), (Rn) + 1 → Rn
011B	相对	D(Rn)	转移目标地址 = (PC) + (Rn)

请回答下列问题：

- (1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？
- (2) 转移指令的目标地址范围是多少？
- (3) 若操作码 0010B 表示加法操作（助记符为 add），寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add (R4), (R5)+”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

4-057 2021 年统考 · 第 43 题

假定计算机 M 字长为 16 位，按字节编址，连接 CPU 和主存的系统总线中地址线为 20 位、数据线为 8 位，采用 16 位定长指令字，指令格式及其说明如下：

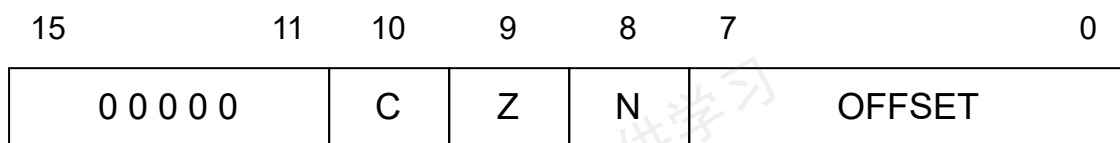
格式	6 位	2 位	2 位	2 位	4 位	指令功能或指令类型
R 型	000000	rs	rt	rd	op1	$R[rd] \leftarrow R[rs] \text{ op1 } R[rt]$
I 型	op2	rs	rt	imm		含ALU运算、条件转义和访存 操作三种指令
J 型	op3	target				

其中，op1 ~ op3 为操作码，rs、rt 和 rd 为通用寄存器编号，R[r] 表示寄存器 r 的内容，imm 为立即数，target 为转移目标的形式地址。请回答下列问题。

- (1) ALU 的宽度是多少位？可寻址主存空间大小为多少字节？指令寄存器、主存地址寄存器（MAR）和主存数据寄存器（MDR）分别应有多少位？
- (2) R 型格式最多可定义多少种操作？I 型和 J 型格式总共最多可定义多少种操作？通用寄存器最多有多少个？
- (3) 假定 op1 为 0010 和 0011 时，分别表示带符号整数减法和带符号整数乘法指令，则指令 01B2H 的功能是什么（参考上述指令功能说明的格式进行描述）？若 1、2、3 号通用寄存器当前内容分别为 B052H、0008H、0020H，则分别执行指令 01B2H 和 01B3H 后，3 号通用寄存器内容各是什么？各自结果是否溢出？
- (4) 若采用 I 型格式的访存指令中 imm（偏移量）为带符号整数，则地址计算时应应对 imm 进行零扩展还是符号扩展？
- (5) 无条件转移指令可以采用上述哪种指令格式？

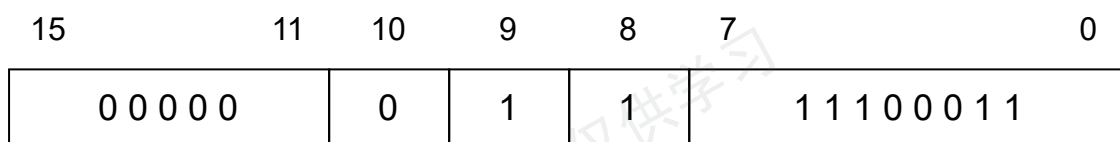
4-058 2013 年统考 · 第 44 题

某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：

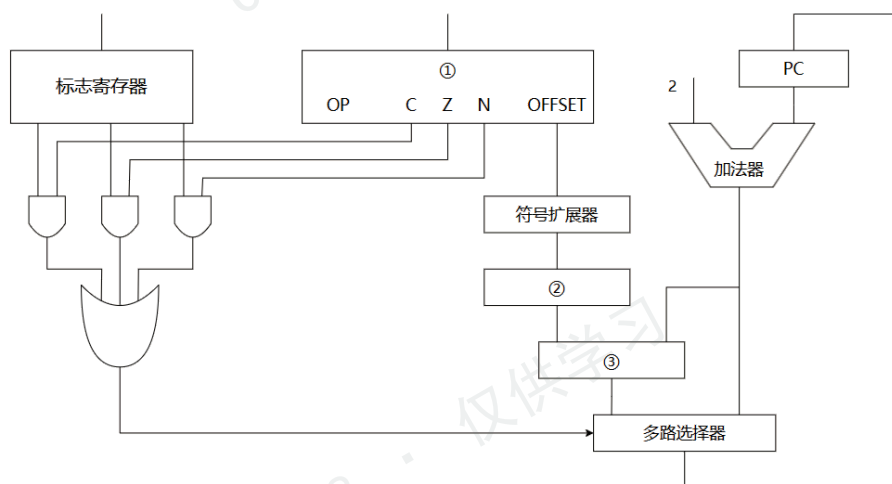


其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则就不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC)+2+2\times\text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC)+2$ 。请回答下列问题。

- (1) 该计算机存储器按字节编址，还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？
- (2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。



- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？
- (4) 以下是该指令对应的数据通路示意图，要求给出中部件①~③的名称或功能说明。



4.3 程序的机器级代码表示

4-059 选择题

按Intel目标在前语法, $AX=FFE8H$ 、 $BX=7FE6H$, 执行16位ADD AX,BX。正确结果是 ()。

- A. $AX=7FCEH$, $OF=1$, $SF=0$, $CF=0$, $ZF=0$
- B. $BX=7FCEH$, $OF=1$, $SF=0$, $CF=0$, $ZF=0$
- C. $AX=7FCEH$, $OF=0$, $SF=0$, $CF=1$, $ZF=0$
- D. $BX=7FCEH$, $OF=0$, $SF=0$, $CF=1$, $ZF=0$

4-060 选择题

按Intel语法, $AX=7FE6H$ 、 $BX=FFE8H$, 执行16位SUB BX,AX。采用 $CF=1$ 表示借位。下列结果正确的是 ()。

- A. $AX=8002H$, $OF=0$, $SF=1$, $CF=1$, $ZF=0$
- B. $BX=8002H$, $OF=0$, $SF=1$, $CF=0$, $ZF=0$
- C. $AX=8002H$, $OF=1$, $SF=1$, $CF=0$, $ZF=0$
- D. $BX=8002H$, $OF=1$, $SF=1$, $CF=0$, $ZF=0$

4-061 选择题

16位SUB AX,imm的机器字节为2D后接16位立即数, 按小端、低地址在前列出。imm=-3、 $AX=7$ 。机器字节与执行后的OF为 ()。

- A. 2D FF FD, $OF=0$
- B. 2D FF FD, $OF=1$
- C. 2D FD FF, $OF=0$
- D. 2D FD FF, $OF=1$

4-062 选择题

int b[10][5], int占4B, 数组按行存放。执行 $sum+=b[i][j]$ 时, sum在EAX, $b[i][0]$ 地址在EDX, j在ESI。可使用的Intel语法指令是 ()。

- A. ADD EAX,DWORD PTR [EDX+ESI*4]
- B. ADD EAX,DWORD PTR [ESI+EDX*4]
- C. ADD EAX,DWORD PTR [EDX+ESI*2]
- D. ADD EAX,DWORD PTR [ESI+EDX*2]

4-063 选择题

EAX=080480B4H, EBX=00000011H, 地址080480F8H处32位值为000000B0H。执行IMUL EAX,DWORD PTR [EAX+EBX*4],-16后,变化的是()。

- A. EAX=00000B00H
- B. M32[080480F8H]=00000B00H
- C. EAX=FFFFFF500H
- D. M32[080480F8H]=FFFFFF500H

4-064 选择题

i在EAX、j在EDX,均为32位有符号数。机器代码如下,JLE的8位位移为0DH。执行时i=105、j=100,随后执行地址为()。

```
0804846A: 39 C2    CMP EDX,EAX
0804846C: 7E 0D    JLE target
```

- A. 08048461H
- B. 0804846EH
- C. 08048479H
- D. 0804847BH

4-065 选择题

double a[8],每个元素8B,首址080498C0H,i在ECX。机器为小端,现只要求把a[i]的低32位位串装入EAX,不做浮点类型转换。正确指令是()。

- A. MOV EAX,DWORD PTR [ECX*4+080498C0H]
- B. LEA EAX,[ECX*4+080498C0H]
- C. MOV EAX,DWORD PTR [ECX*8+080498C0H]
- D. LEA EAX,[ECX*8+080498C0H]

4-066 选择题

在32位x86普通近CALL模型中,不计异常,执行子程序调用必须完成()。

- A. 只把入口地址送入PC
- B. 把返回地址压入主存栈,并转到被调用程序
- C. 只把调用指令首址存入任意通用寄存器
- D. 只修改内部控制信号,不保存返回位置

4-067 选择题

采用教材中未经优化的分支式if-else翻译：先判断comp_A，两个非空分支都正常落到同一后继，不用条件移动等替代。以下说法错误的是（ ）。

- A. 有一条跳过另一分支的无条件转移
- B. 有一条根据comp_A选择分支的条件转移
- C. 计算comp_A的代码在对应条件转移之前
- D. statement_B在机器码中一定排在statement_C之前

4-068 选择题

对运行时条件控制、用CMP和分支实现、未被展开或删除的通常循环，下列说法错误的是（ ）。

- A. 至少需要一处依据循环条件的条件转移
- B. 不一定需要单独的无条件转移
- C. 循环结束条件的比较可由CMP提供标志
- D. 循环体内不允许包含条件转移

4-069 选择题

下列有关调用指令（转子指令）的叙述中，错误的是（ ）。

- A. 与高级语言源程序中的过程调用相对应，一次过程调用对应一条调用指令
- B. 指令执行时必须保留返回地址，调用指令随后一条指令的地址是返回地址
- C. 嵌套调用时返回地址通常保存在栈中，非嵌套调用时可保存在特定寄存器中
- D. 指令执行时将无条件转移到目标地址处，转移目标地址无须在指令中明显给出

4-070 选择题

限定普通、非内联的过程调用，不考虑尾调用优化。下列有关CALL与RET的叙述，错误的是（ ）。

- A. 一次普通过程调用可由一条CALL指令转入被调用过程
- B. 执行时保留返回地址，通常为调用指令之后的顺序地址
- C. 嵌套调用的返回地址通常保存在栈中，非嵌套也可存入特定寄存器
- D. CALL无需任何用于确定目标的操作数或隐含规则，就能自行知道被调用过程的地址

4-071 选择题

32位x86过程P调用Q, 按通常栈帧模型完成下列步骤。正确顺序是 ()。

①Q保存需要保存的现场并为局部变量分配空间; ②P把实参放到Q可访问的位置; ③保存返回地址并转入Q; ④取返回地址回到P; ⑤Q恢复现场并释放局部空间; ⑥执行Q的函数体。

A. ②③④①⑤⑥

B. ②③①④⑥⑤

C. ②③①⑥⑤④

D. ②③①⑤⑥④

4-072 选择题

【2011 统考真题】某机器有一个标志寄存器, 其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是()。

A. $CF+OF=1$

B. $SF+ZF=1$

C. $CF+ZF=1$

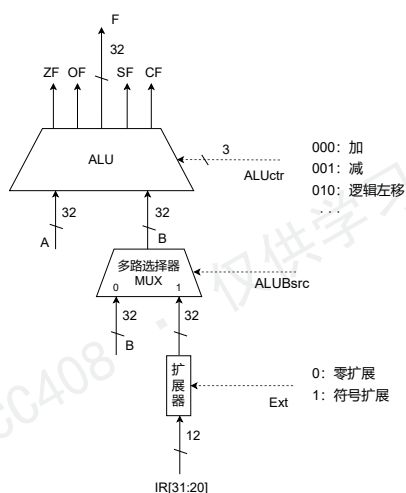
D. $CF+SF=1$

4-073 2024 年统考 · 第 43 题

假定计算机 M 字长为 32 位。按字节编址, 采用 32 位定长指令字, 指令 `add slli` 和 `lw` 的格式、编码和功能说明如题 43(a) 图所示。

二进制位序	31 ~ 25	24 ~ 20	19 ~ 15	14 ~ 12	11 ~ 7	6 ~ 0	指令功能说明
add 指令	000 0000	rs2	rs1	000	rd	011 0011	$R[rd] \leftarrow R[rs1] + R[rs2]$
slli 指令	000 0000	shamt	rs1	010	rd	001 0011	$R[rd] \leftarrow R[rs1] \ll \text{shamt}$
lw 指令	imm		rs1	010	rd	000 0011	$R[rd] \leftarrow M[R[rs1] + \text{imm}]$

其中 $R[x]$ 表示通用寄存器 x 的内容, $M[x]$ 表示地址为 x 的存储单元内容, shamt 为移位位数, imm 为补码表示的偏移量。题 43(b) 图给出了计算机 M 的部分数据通路及其控制信号 (用箭头虚线表示), 其中, A 和 B 分别表示从通用寄存器 $rs1$ 和 $rs2$ 中读出的内容, $IR[31:20]$ 表示指令寄存器中的高 12 位。控制信号 Ext 为 0、1 时扩展器分别实现零扩展, 符号扩展。ALUctr 为 000、001、010 时 ALU 分别实现加、减、逻辑左移运算。



请回答下列问题

- (1) 计算机 M 最多有多少个通用寄存器? 为什么 `shamt` 字段占 5 位? (2 分)
- (2) 执行 `add` 指令时, 控制信号 `ALUbsrc` 的取值应该是什么? 若 `rs1` 和 `rs2` 寄存器内容分别是 8765 4321H 和 9876 5432H, 则 `add` 指令执行后, ALU 输出端 F 、 OF 和 CF 的结果分别是什么? 若设 `add` 指令处理的是无符号整数, 则应根据哪个标志判断是否溢出 (3 分)
- (3) 执行 `slli` 指令时, 控制信号 `Ext` 的取值可以是 0 也可以是 1, 为什么? (2 分)
- (4) 执行 `lw` 指令时, 控制信号 `Ext`、`ALUctr` 的取值分别是什么? (2 分)
- (5) 若一条指令的机器码是 A040 A103H, 则该指令一定是 `lw` 指令, 为什么? (2 分)
- (6) 若执行该指令时, $R[01H] = \text{FFFF A2D0H}$, 则所读取数据的存储地址是多少? (2 分)

4-074 2017 年统考 · 第 44 题

在按字节编址的计算机 M 上，题 43 中 f1 的部分源程序（阴影部分）与对应的机器级代码（包括指令的虚拟地址）如下图所示。

```
int f1(unsigned n)
1  00401020 55          push ebp
...      ...      ...
    for (unsigned i = 0; i <= n-1; i++) {
...      ...      ...
20  0040105E 39 4D F4    cmp dword ptr [ebp-0Ch],ecx
...      ...      ...
    power *= 2;
...      ...      ...
23  00401066 D1 E2      shl edx,1
...      ...      ...
    return sum;
...      ...      ...
35  0040107F C3          ret
```

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令。

请回答下列问题。

- (1) 计算机 M 是 RISC 还是 CISC? 为什么?
- (2) f1 的机器指令代码共占多少字节? 要求给出计算过程。
- (3) 第 20 条指令 cmp 通过 i 减 n-1 实现对 i 和 n-1 的比较。执行 f1(0) 过程中，当 i=0 时，cmp 指令执行后，进/借位标志 CF 的内容是什么? 要求给出计算过程。
- (4) 第 23 条指令 shl 通过左移操作实现了 power2 运算，在 f2 中能否也用 shl 指令实现 power2? 为什么?

查看本题引用的共用条件

4-075 2023 年统考 · 第 44 题

上题中 C 程序段在计算机 M 上的部分机器级代码如下，每个机器级代码行中依次包含指令序号、虚拟地址、机器指令和汇编指令。

```

for (i = 0; i < 24; i++)
1  00401072  C7 45 F8 00 00 00 00      mov[ebp-8], 0
2  00401079  EB 09                          jmp 00401084h
3  0040107B  8B 45 F8                      mov eax, [ebp-8]
   ...                          ...
7  00401088  7D 32                          jge 004010bch
   for (j = 0; j < 64; j++)
8  0040108A  C7 45 FC 00 00 00 00      mov[ebp-4], 0
   ...                          ...
   a[i][j] = 10;
   ...                          ...
19 004010AE  C7 84 82 00 20 42 00 0A 00 00 00 mov[ecx+edx*4+00422000h], 0Ah
20 ...                          ...

```

请回答下列问题。

(1) 第 20 条指令的虚拟地址是多少？

(2) 已知第 2 条 jmp 和第 7 条 jge 都是跳转指令，其操作码分别是 EBH 和 7DH，跳转地址分别为 0040 1084H、0040 10BCH，这两条指令都采用什么寻址方式？给出第 2 条指令 jmp 的跳转目标地址计算过程。

(3) 已知第 19 条 mov 指令的功能是 “ $a[i][j] \leftarrow 10$ ”，其中 ecx 和 edx 为寄存器名，0042 2000H 是数组 a 的首地址，指令中源操作数采用什么寻址方式？已知 edx 中存放的是变量 j，ecx 中存放的是什么？根据该指令的机器码判断计算机 M 采用的是大端还是小端方式。

(4) 第一次执行第 19 条指令时，取指令过程中是否会发生缺页异常？为什么？

查看本题引用的共用条件

4-076 2024 年统考 · 第 44 题

对于题 43 中的计算机 M，C 语言程序 P 包含的语句 $\text{sum} += a[i];$ ，在 M 中对应的指令序列 S 如下：

```
slli r4, r2, 2 // R[r4] <- R[r2]<<2
add r4, r3, r4 // R[r4] <- R[r3]+R[r4]
lw r5, 0(r4) // R[r5] <- M[R[r4]+0]
add r1, r1, r5 // R[r1] <- R[r1]+R[r5]
```

已知变量 i ， sum 和数组 a 都为 int 型，通用寄存器 $r1 - r5$ 的编号为 $01\text{H} - 05\text{H}$ 。请回答下列问题。

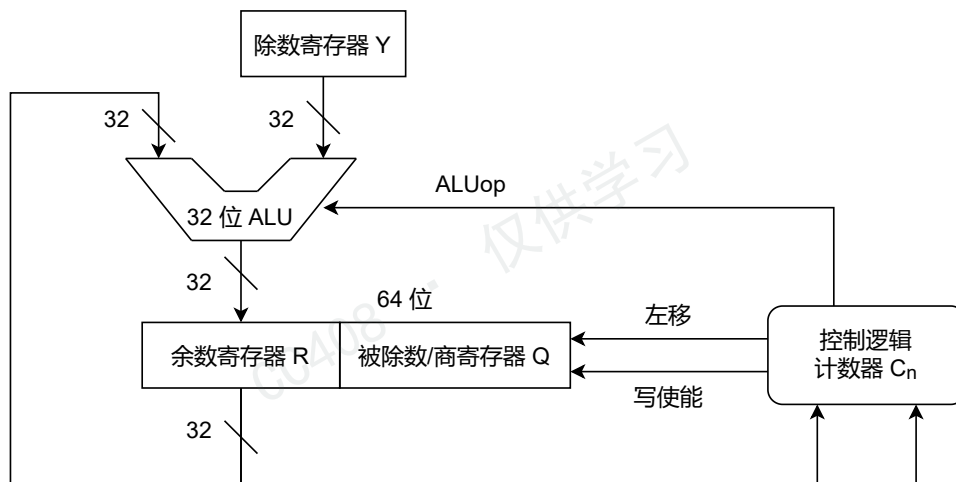
地址		0	1	2	3	4	5	6	7
0013	DFF0	FF	FF	FF	7C	70	FE	FF	FF
0013	DFF8	00	00	00	0C	3C	02	01	FF
0013	E000	F0	F1	00	00	DC	EC	FF	FF
0013	E008	FF	FF	01	02	00	00	01	02

- 根据指令序列 s 中每条指令的功能，写出存放数组 a 的首地址、变参 i 和 sum 的通用寄存器编号（3 分）
- 已知 M 为小端方式，计算机采用页式存储管理方式。页大小为 4KB 。若执行到指令序列 s 中第 1 条指令时， $i=5$ 且 $r1$ 和 $r3$ 的内容分别为 $0000\ 1332\text{H}$ 和 $0013\ \text{DFF0H}$ 。从地址 $0013\ \text{DFF0H}$ 开始存储单元内容如题 44 图所示。则执行 $\text{sum} += a[i];$ 语句后。 $a[i]$ 的地址、 $a[i]$ 和 sum 的机器数分别是什么（用十六进制表示）？ $a[i]$ 所在页的页号是多少？在此次执行中，数据组 a 至少存放在几页中？（5 分）
- 指令 $\text{slli } r4, r2, 2$ 的机器码是什么（用十六进制表示）？若数组 a 改为 short 类型，则指令序列存到 S 中 slli 指令的汇编形式应是什么？

查看本题引用的共用条件

4-077 2025 年统考 · 第 44 题

接上题，R0 ~ R4 为通用寄存器，SEXT 表示按符号扩展，M 中补码除法器，逻辑结构图如下：



机器级代码：

```
// x 在 R2 中, i 在 R4 中
// 数组 d 的首地址在 R3 中
mov R1, (R3+R4*4) // R1 ← d[i]
scov R1           // {R0, R1} ← SEXT(R1)
idiv R1           // R1 ← -({R0, R1}/R2)
```

(1) 若执行 idiv 指令时， $d[i]=0x87654321$ ， $x=0xff$ ，则补码除法器中 R、Q、Y 的初始值分别为多少（用十六进制表示）？图 b 中哪个部分包含计数器？在补码除法器执行过程中，ALUOp 所控制的 ALU 运算有哪几种？

(2) 假设 idiv 执行过程中会检测并触发除法异常，则执行 idiv 指令时，哪些情况下会发生除法异常（要求给出此时 $d[i]$ 和 x 的十六进制机器数）。发生除法异常时，在异常响应过程中，CPU 需要完成哪些操作？

查看本题引用的共用条件

4-078 2019 年统考 · 第 45 题

已知 $f(n)=n!=n \times (n-1) \times (n-2) \times \cdots \times 2 \times 1$ ，计算 $f(n)$ 的 C 语言函数 f1 的源程序（阴影部分）及其在 32 位计算机 M 上的部分机器级代码如下：

```

int f1(int n) {
1  00401000  55          push ebp
    ...          ...          ...
    if(n>1)
11 00401018  83 7D 08 01    cmp     dword ptr [ebp+8],1
12 0040101C  7E 17          jle     f1+35h (00401035)
    return n*f1(n-1);
13 0040101E  8B 45 08          mov     eax, dword ptr [ebp+8]
14 00401021  83 E8 01          sub     eax, 1
15 00401024  50              push    eax
16 00401025  E8 D6 FF FF FF    call   f1 ( 00401000)
    ...          ...          ...
19 00401030  0F AF C1          imul   eax, ecx
20 00401033  EB 05          jmp     f1+3Ah (0040103a)
    else return 1;
}
21 00401035  B8 01 00 00 00    mov     eax,1
    ...          ...          ...
26 00401040  3B EC          cmp     ebp, esp
    ...          ...          ...
30 0040104A  C3              ret

```

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令，计算机 M 按字节编址，int 型数据占 32 位。请回答下列问题：

- (1) 计算 $f(10)$ 需要调用函数 $f1$ 多少次？执行哪条指令会递归调用 $f1$ ？
- (2) 上述代码中，哪条指令是条件转移指令？哪几条指令一定会使程序跳转执行？
- (3) 根据第 16 行的 call 指令，第 17 行指令的虚拟地址应是多少？已知第 16 行的 call 指令采用相对寻址方式，该指令中的偏移量应是多少（给出计算过程）？已知第 16 行的 call 指令的后 4 字节为偏移量，M 是采用大端方式还是采用小端方式？
- (4) $f(13)=6227020800$ ，但 $f1(13)$ 的返回值为 1932053504，为什么两者不相等？要使 $f1(13)$ 能返回正确的结果，应如何修改 $f1$ 的源程序？
- (5) 第 19 行的 imul 指令（带符号整数乘）的功能是 $R[ecx] \leftarrow R[ecx] \times R[ecx]$ ，当乘法器输出的高、低 32 位乘积之间满足什么条件时，溢出标志 OF=1？要使 CPU 在发生溢出时转异常处理，编译器应在 imul 指令后应加一条什么指令？

4-079 2019 年统考 · 第 46 题

对于上题，若计算机 M 的主存地址为 32 位，采用分页存储管理方式，页大小为 4KB，则第 1 行的 push 指令和第 30 行的 ret 指令是否在同一页中（说明理由）？若指令 Cache 有 64 行，采用 4 路组相联映射方式，主存块大小为 64B，则 32 位主存地址中，哪几位表示块内地址？哪几位表示 Cache 组号？哪几位表示标记（tag）信息？读取第 16 行的 call 指令时，只可能在指令 Cache 的哪一组中命中（说明理由）？

查看本题引用的共用条件

4.4 CISC 和 RISC 的基本概念

4-080 选择题

下列关于RISC的叙述，正确的是（ ）。

- A. RISC的规则、简单指令设计通常有利于流水线实现，但并非定义上强制采用流水线
- B. 采用流水线的机器一定是RISC
- C. RISC的兼容性一定优于CISC
- D. RISC要求CPU只配很少的通用寄存器

4-081 选择题

按传统教材中典型RISC设计取向，下列描述不符合其特点的是（ ）。

- A. 采用较少种类的规则基本指令格式
- B. 减少寻址方式的同时，尽可能把复杂任务都装进单条指令
- C. 用较多通用寄存器减少不必要的访存
- D. 优先保留高频简单操作和有用但不复杂的指令

4-082 选择题

以下关于RISC的说法，正确的是（ ）。

- A. 为了兼容，新RISC必定只是从某个CISC指令集中挑出的子集
- B. 采用RISC就是把整个体系结构恢复到早期状态
- C. 减少指令种类的主要方法是把每条指令尽量复杂化
- D. 以上三种说法都不正确

4-083 选择题

按典型RISC/CISC设计的比较，下列说法不正确的是（ ）。

- A. 规则、较少种类的基本格式和寻址方式通常便于译码与硬连线实现
- B. 复杂指令可直接表达部分高级操作，减少某些手写汇编序列长度
- C. 指令格式越多，就必然越有利于编译优化
- D. 规则的RISC指令形式通常有利于流水线，并不保证每条指令的总延迟只有一个周期

4-084 2009 年统考 · 第 17 题

【2009统考真题】下列关于RISC的说法中，错误的是（ ）。

- A. RISC 普遍采用微程序控制器
- B. RISC 大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对CISC 多
- D. RISC 的指令数、寻址方式和指令格式种类相对CISC 少

4-085 2025 年统考 · 第 17 题

【2025统考真题】下列关于 RISC的叙述中，错误的是（ ）。

- A. 多采用硬连线方式实现控制器
- B. 通常采用LOAD/STORE 指令设计风格
- C. 难以采用流水线数据通路实现微架构
- D. 多采用寄存器传递过程调用时的参数

第5章 中央处理器

计算机组成原理 · 做题本 · 163题

5.1 CPU 的功能和基本结构

5-001 选择题

按传统计算机五大部件的功能分工，下列不属于CPU基本功能的是（ ）。

- A. 时序控制
- B. 异常与中断处理
- C. 执行算术和逻辑运算
- D. 承担程序和数据的主存储功能

5-002 选择题

通用寄存器是（ ）。

- A. 可存放指令的寄存器
- B. 可存放程序状态字的寄存器
- C. 本身具有计数逻辑与移位逻辑的寄存器
- D. 可由程序指定作多种用途的寄存器

5-003 选择题

在采用指令寄存器的基本CPU中，保存当前正在执行指令的寄存器是（ ）。

- A. 指令寄存器
- B. 指令译码器
- C. 数据寄存器
- D. 地址寄存器

5-004 选择题

在CPU中，跟踪后继指令地址的寄存器是（ ）。

- A. 指令寄存器
- B. 程序计数器
- C. 地址寄存器
- D. 状态寄存器

5-005 选择题

在采用条件码的指令系统中，条件转移指令判断所用的零、符号、进位或溢出条件通常来自（ ）。

- A. 指令寄存器
- B. 标志寄存器
- C. 程序计数器
- D. 地址寄存器

5-006 选择题

下列寄存器中，在本章的基本CPU模型下，对汇编语言程序员完全透明的是（ ）。

- A. 程序计数器
- B. 状态寄存器
- C. 指令寄存器
- D. 通用寄存器

5-007 选择题

在不考虑指令预取的基本取指流程中，指令的取出地址最初由哪个部件给出（ ）。

- A. 程序计数器PC
- B. 顺序时由PC、转移时直接由转移指令绕过PC
- C. 始终由MAR自行产生
- D. 有时由PC、有时由MAR自行产生

5-008 选择题

按本章运算器和控制器的传统功能划分，程序计数器PC属于（ ）。

- A. 运算器
- B. 控制器
- C. 存储器
- D. ALU

5-009 选择题

在基本顺序CPU模型下，下列有关PC的叙述，错误的是（ ）。

- A. PC保存用于指令流控制的地址
- B. PC的值由CPU在执行过程中修改
- C. 执行任何转移指令后，PC总被改为转移目标地址
- D. 若PC与MAR采用同一地址空间和编址单位，其位数通常相同

5-010 选择题

若指令按字边界对齐存放，程序计数器(PC)可以使用字地址，其位数取决于（ ）。

I. 存储器的容量

II. 机器字长

III. 指令字长

A. I

B. I 和 III

C. II 和 III

D. I、II 和 III

5-011 选择题

某机器按字编址，主存容量C已用“字数”表示。PC保存完整字地址，忽略额外状态位，其最少位数直接取决于（ ）。

I. 可寻址的主存字数C II. 机器字长 III. 指令字长

A. I

B. I 和 III

C. II 和 III

D. I、II 和 III

5-012 选择题

假定本题ISA不把PC作为普通显式寄存器操作数，且控制转移正常完成。下列叙述错误的是（ ）。

A. 普通机器指令不能把PC写成通用寄存器操作数

B. 顺序执行时PC总是自动加1

C. 调用执行后PC指向被调用过程入口

D. 无条件转移执行后PC指向目标地址

5-013 选择题

在一次保存一条完整定长机器指令的模型中，IR的位数取决于（ ）。

A. 存储器容量

B. 机器字长

C. 指令字长

D. 存储字长

5-014 2020 年统考·第 12 题

【2020统考真题】下列给出的部件中，其位数（宽度）一定与机器字长相同的是（ ）。

I. ALU

II. 指令寄存器

III. 通用寄存器

IV. 浮点寄存器

A. 仅 I、II

B. 仅 I、III

C. 仅 II、III

D. 仅 II、III、IV

5-015 选择题

本章基本模型中，CPU通用整数寄存器的位数取决于（ ）。

A. 存储器容量

B. 指令长度

C. 机器字长

D. 都不对

5-016 选择题

CPU中的通用寄存器（ ）。

A. 只能存放数据，不能存放地址

B. 可以存放数据和地址

C. 既不能存放数据，也不能存放地址

D. 可以存放数据和地址，并自动替代IR承担当前指令控制功能

5-017 选择题

表征程序和机器运行状态的部件是（ ）。

A. 程序计数器

B. 累加寄存器

C. 中断寄存器

D. 程序状态字寄存器

5-018 选择题

状态寄存器主要用来存放（ ）。

- A. 算术运算的数值结果
- B. 逻辑运算的数值结果
- C. 运算类型编码
- D. 算术、逻辑运算及测试产生的结果状态

5-019 选择题

下列关于标志寄存器（EFLAGS 寄存器或PSW 寄存器）的叙述中，错误的是（ ）。

- A. 不需要像通用寄存器那样，对标志寄存器进行编号
- B. 条件转移指令根据其中的一些的标志位来确定PC 的值
- C. 可以通过指令直接访问标志寄存器并修改它的值
- D. 可以用它来存放执行指令得到的各种标志信息

5-020 选择题

以x86的EFLAGS为例，下列有关标志寄存器的叙述中，错误的是（ ）。

- A. 不需要像通用寄存器那样，对标志寄存器进行编号
- B. 条件转移根据其中部分标志位确定PC的值
- C. 任何程序都可以无条件修改其中全部标志位
- D. 可以存放执行指令得到的各种标志信息

5-021 选择题

下列对CPU控制器功能的描述，最完整的是（ ）。

- A. 产生工作时序信号
- B. 控制从主存取出一条指令
- C. 完成指令操作码译码
- D. 完成操作码译码，并按时序和状态产生相应操作控制信号

5-022 2010 年统考·第 18 题

【2010统考真题】下列寄存器中，汇编语言程序员可见的是（ ）。

- A. 存储器地址寄存器(MAR)
- B. 程序计数器(PC)
- C. 存储器数据寄存器(MDR)
- D. 指令寄存器(IR)

5-023 2016 年统考 · 第 18 题

某计算机主存空间为4GB, 字长为32位, 按字节编址, 采用32位定长指令字格式, 若指令按字边界 对齐存放, 则程序计数器(PC) 和指令寄存器(IR) 的位数至少分别是 ()。

- A. 30、30
- B. 30、32
- C. 32、30
- D. 32、32

5-024 选择题

按CPU与独立主存模块的传统划分, 下列哪个部件属于主存的单元选择电路, 而不属于CPU内部 ()。

- A. 存储器地址寄存器MAR
- B. 指令寄存器IR
- C. 主存地址译码器
- D. 程序计数器PC

5-025 选择题

按本章传统CPU/主存分工, 下列说法正确的是 ()。

I. 主存单元选择译码器属于独立主存模块 II. PC中存放操作数地址而不是指令地址 III. PC参与决定指令执行顺序
IV. CPU状态寄存器对用户完全透明

- A. I、III
- B. III、IV
- C. II、III、IV
- D. I、III、IV

5-026 选择题

在单级存储器间接寻址模型中, 间址阶段读取的存储单元保存有效地址。间址周期结束时MDR中的内容是 ()。

- A. 指令
- B. 操作数的有效地址
- C. 操作数
- D. 无法确定

5-027 选择题

【2016统考真题】某计算机的主存储器空间为4GB, 字长为32位, 按字节编址, 采用 32位字长指令字格式。若指令按字边界对齐存放, 则程序计数器(PC) 和指令寄存器(IR) 的位数至少分别是 ()。

- A. 30, 30
- B. 30, 32
- C. 32, 30
- D. 32, 32

5.2 指令执行过程

5-028 选择题

本章同步CPU工作的最小时间节拍是 ()。

- A. 时钟周期
- B. 指令周期
- C. 存取周期
- D. 总线周期

5-029 选择题

指令周期通常是指 ()。

- A. 只从主存取出一条指令的时间
- B. 仅执行阶段的时间
- C. 取出一条指令并完成其执行所需的时间
- D. 固定等于时钟周期

5-030 选择题

基本非流水CPU在取指时先执行 $PC \leftarrow PC + \text{指令长度}$, 随后执行无条件转移并装入目标。该指令周期不含中断, PC更新几次 ()。

- A. 1
- B. 2
- C. 3
- D. 不能确定

5-031 选择题

在取指阶段已按本条指令长度递增PC、尚未执行转移且无预取的基本模型中，PC保存（ ）。

- A. 当前指令地址
- B. 程序中的指令数量
- C. 已执行的指令数量
- D. 本条指令的顺序后继地址

5-032 选择题

基本CPU中，下列关于指令执行的叙述错误的是（ ）。

- A. 指令周期首先进行取指
- B. 必须先取得本条指令的操作码，控制器才知道如何开始取指
- C. 取指由控制器自动发起
- D. 不同指令有相同或相似的微操作

5-033 选择题

在定长指令采用统一访存接口、暂不考虑Cache缺失的基本模型中，下列叙述错误的是（ ）。

- A. 开始取指不需要当前操作码
- B. 无论指令长度和实现如何，所有指令的全部取指操作都相同
- C. 指令长度相同且接口相同时，可共用取指序列
- D. 被接受的外部中断通常在本条指令执行完成后响应

5-034 选择题

下列关于指令周期的叙述错误的是（ ）。

- A. 基本取指—执行模型首先取指
- B. 乘法和加法的指令周期在所有CPU上总一样长
- C. 一个指令周期可包含若干时钟周期
- D. 单周期CPU中一条指令占一个时钟周期

5-035 选择题

典型同步多周期CPU的合理安排是（ ）。

- A. 各指令周期数相同，每拍等长
- B. 各指令周期数相同，每拍可变长
- C. 各指令周期数可不同，每拍等长
- D. 各指令周期数可不同，每拍均可变长

5-036 选择题

在本章基本指令执行模型中，下列叙述正确的是（ ）。

- A. 取指和取操作数都必然经总线访问主存
- B. 译码阶段一定计算内存操作数有效地址
- C. 执行阶段必然访问主存或I/O端口
- D. 取指与译码必需，但取操作数或写结果不一定访问主存

5-037 2009 年统考·第 11 题

【2009统考真题】冯·诺依曼机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是（ ）。

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元

5-038 2011 年统考·第 19 题

【2011统考真题】假定不采用 Cache 和指令预取技术，且机器处于“开中断”状态，则在下列有关指令执行的叙述中，错误的是（ ）。

- A. 每个指令周期中CPU 都至少访存一次
- B. 每个指令周期一定大于或等于一个CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

5-039 选择题

下列关于同步CPU时钟的叙述错误的是（ ）。

- A. 每来一个时钟边沿就必定开始执行一条新指令
- B. 边沿触发状态元件在规定的上升沿或下降沿更新
- C. 时钟周期以状态元件间最长组合路径为基准并计入寄存器时序开销
- D. 主频是时钟周期的倒数

5.3 数据通路的功能和基本结构

5-040 选择题

按本章CPU内部数据通路组织方式的分类，下列不属于并列的标准类别的是（ ）。

- A. 单总线结构
- B. 多总线结构
- C. 部件内总线结构
- D. 专用数据通路结构

5-041 选择题

下列有关数据通路的叙述错误的是（ ）。

- A. 由组合逻辑与时序逻辑元件连接而成
- B. 功能由控制部件的控制信号决定
- C. ALU是其中的操作元件
- D. 通用寄存器是状态元件，但不属于数据通路

5-042 选择题

下列部件中属于状态元件的是（ ）。

I. ALU II. 译码器 III. 移位寄存器 IV. MDR

- A. I、III
- B. II、III、IV
- C. III、IV
- D. I、IV

5-043 选择题

在一拍只能由一个源驱动CPU内部总线、ALU需两个独立操作数的模型中，下列连接合理的是（ ）。

- A. 两个ALU输入和输出都直接连同一总线即可完成任意二元运算
- B. 两个输入均直接连同一总线，仅输出加暂存器即可
- C. 一个输入及输出直接连同一总线即可完成任意二元运算
- D. 一个输入接总线，另一个输入由暂存器提供

5-044 选择题

多个部件以三态驱动方式共享一条内部总线时，控制部件与总线连接或断开的常用器件是（ ）。

- A. 触发器
- B. 多路选择器
- C. 三态门
- D. 与非门

5-045 选择题

在共享、单驱动内部总线的一次有效传送中，正确的原则是（ ）。

I. 仅一个源驱动 II. 多个源同时驱动也总允许 III. 只能一个目的寄存器锁存 IV. 可有一个或多个目的寄存器锁存

- A. I、III
- B. I、IV
- C. II、III
- D. II、IV

5-046 选择题

采用单沿触发、无停顿的教学同步模型，把“寄存器到寄存器传送”按相邻有效沿之间的一拍计时。下列耗时不一定等于一拍的是（ ）。

I. 一次主存读 II. 单周期CPU执行一条指令 III. R1经总线传至R2 IV. 相邻流水段寄存器之间传送 V. 单周期CPU内部一次ALU组合运算

- A. I、V
- B. I、III、V
- C. II、III、IV
- D. IV、V

5-047 选择题

比较基本单周期与每条指令至少两拍的多周期CPU，下列说法错误的是（ ）。

- A. 单周期CPU通常更容易以较低成本支持复杂乘除指令
- B. 单周期部件复用较少，多周期可分时复用部件
- C. 单周期CPI为1
- D. 题设多周期CPI大于1

5-048 选择题

按本章固定时钟、无流水的教学实现，下列说法正确的是（ ）。

- A. 单周期CPI总比多周期大
- B. 单周期时钟周期通常更短
- C. 单周期同一条指令所需的稳态控制取值保持不变，多周期可随节拍改变
- D. 两种实现都能在一条指令中把同一单端口部件分时重复使用任意多次

5-049 选择题

基本单周期CPU一拍只允许存储器完成一次访问，多周期采用单总线。下列正确的是（ ）。

- A. 基本单周期能用共享单总线完成任意指令
- B. 相同程序在单周期上一定更快
- C. 多周期可把指令和数据放在同一单端口存储器，单周期不能同时满足取指和数据访问
- D. 单周期硬件实现通常更便宜

5-050 选择题

相比专用通路结构，单总线结构在数据并行传送能力上直接受到的限制是（ ）。

- A. 性能必然更高
- B. 多个传送争用同一通路，资源冲突更明显
- C. 硬件规模必然更大
- D. 仅由名称就能断定全部控制逻辑一定更复杂

5-051 选择题

在CPU为总线主控者、无DMA接管的基本存储器接口中，读/写控制信号的作用是（ ）。

- A. 配合接口确定数据总线传送方向
- B. 选择存储器的读或写操作
- C. 控制信息流入还是流出存储器
- D. 以上都是

5-052 选择题

在无停顿、指令存储器组合读、PC每拍更新的基本单周期数据通路中，下列说法错误的是（ ）。

- A. 取指路径时延的重要部分是指令存储器访问延迟
- B. 取指与顺序PC计算可并行
- C. 必须另设一个时钟触发的IR跨拍暂存本条指令
- D. PC可不另设条件写使能而每拍装入后继地址

5-053 2019 年统考 · 第 16 题

【2019统考真题】下列有关处理器时钟信号的叙述中，错误的是（ ）。

- A. 时钟信号由机器脉冲源发出的脉冲信号经整形和分频后形成
- B. 时钟信号的宽度称为时钟周期，时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟信号时就开始执行一条新的指令

5-054 2021 年统考 · 第 18 题

【2021统考真题】下列关于数据通路的叙述中，错误的是（ ）。

- A. 数据通路包含 ALU 等组合逻辑（操作）元件
- B. 数据通路包含寄存器等时序逻辑（状态）元件
- C. 数据通路不包含用于异常事件检测及响应的电路
- D. 数据通路中的数据流动路径由控制信号进行控制

5-055 2023 年统考 · 第 18 题

【2023统考真题】数据通路由组合逻辑元件（操作元件）和时序逻辑元件（状态元件）组成。下列给出的元件中，属于操作元件的是（ ）。

- I. 算术逻辑单元(ALU)
- II. 程序计数器(PC)
- III. 通用寄存器组(GPRs)
- IV. 多路选择器(MUX)

- A. 仅 I、II
- B. 仅 I、IV
- C. 仅 II、III
- D. 仅 I、II、IV

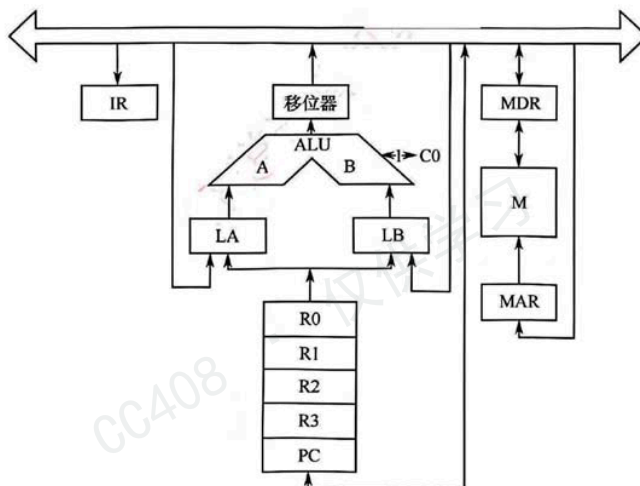
5-056 2016 年统考 · 第 20 题

【2016统考真题】单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是（ ）。

- A. 可以采用单总线结构数据通路
B. 处理器时钟频率较低
C. 在指令执行过程中控制信号不变
D. 每条指令的CPI 为 1

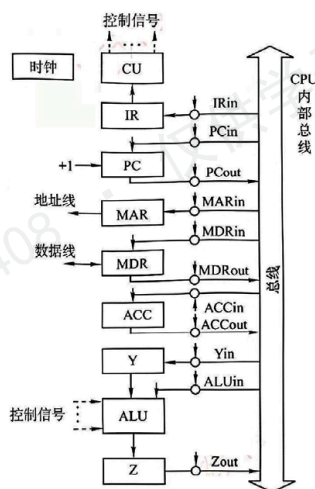
5-057 综合题

数据通路见图。规范指令语义明确为 $R1 \leftarrow R1 + M[R2]$ ；按字编址，指令长1字，PC每条递增1。寄存器组可选一个源送LA或LB；LA、LB也可从内部总线加载。ALU可直送A、在B被屏蔽时由进位输入实现 $A+1$ 、或做 $A+B$ ；移位器可直通。访存等待完成后再推进。写出包括取指、PC递增和执行的微操作序列。



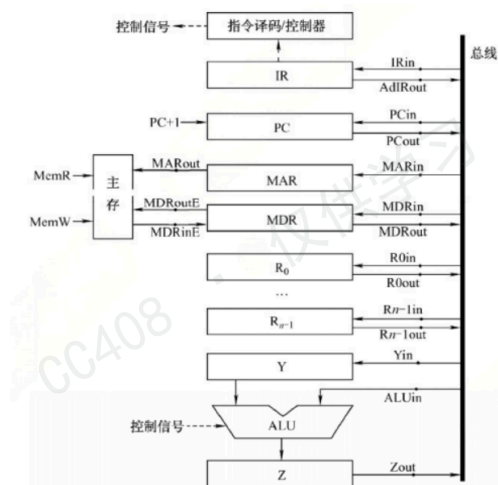
5-058 综合题

CPU内部单总线结构见图；B、C、D、E、H、L六个寄存器虽未画出，均有受控输入/输出。ALU以Y为A输入、内部总线为B输入，输出锁存到Z。设指令长一个地址单位，PC有独立加1通路，主存读写另有外部接口，主存等待单列。写出从取指开始执行ADD B,C ($B \leftarrow B+C$) 与SUB ACC,H ($ACC \leftarrow ACC-H$) 的微操作和控制信号。



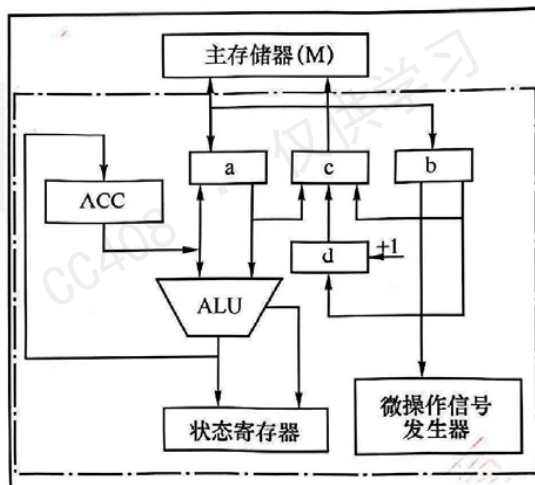
5-059 综合题

设有如下图所示的单总线结构，分析指令ADD(RO),R1 [即实现 $(RO)+(R1) \rightarrow (RO)$]的指令流程和控制信号。



5-060 综合题

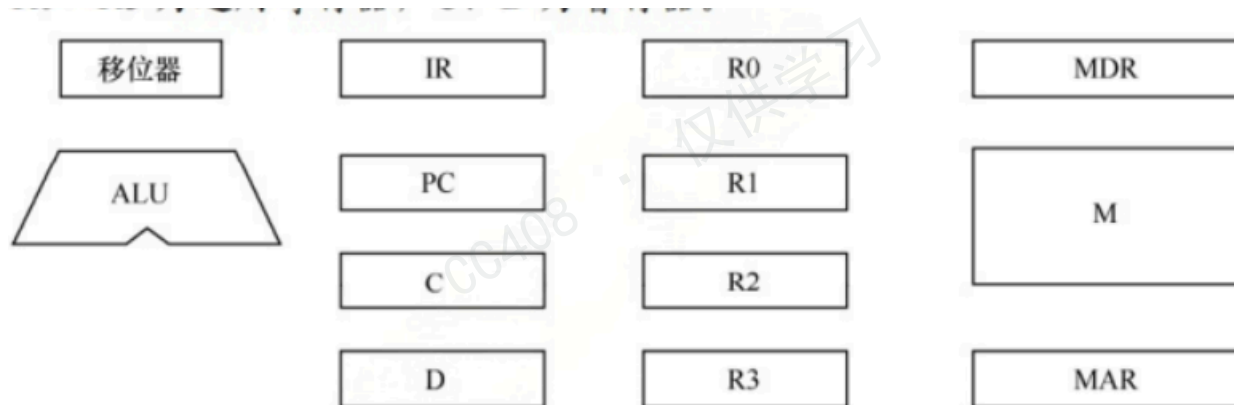
简化CPU与主存连接见图，省略MUX；有ACC、状态寄存器以及MAR、MDR、PC、IR四个标为a、b、c、d的寄存器。箭头为数据方向。回答：（1）a~d名称；（2）取指通路；（3）地址已在MAR时，运算器与主存之间读/写通路；（4）LDA X: $ACC \leftarrow M[X]$ ；（5）ADD Y: $ACC \leftarrow ACC + M[Y]$ ；（6）STA Z: $M[Z] \leftarrow ACC$ 。



5-061 综合题

某机主要功能部件如下图所示，其中 M 为主存，MDR 为存储器数据寄存器，MAR 为存储器地址寄存器，IR 为指令寄存器，PC 为程序计数器(并假设当前指令地址在 PC

中)，R0~R3为通用寄存器，C、D 为暂存器。



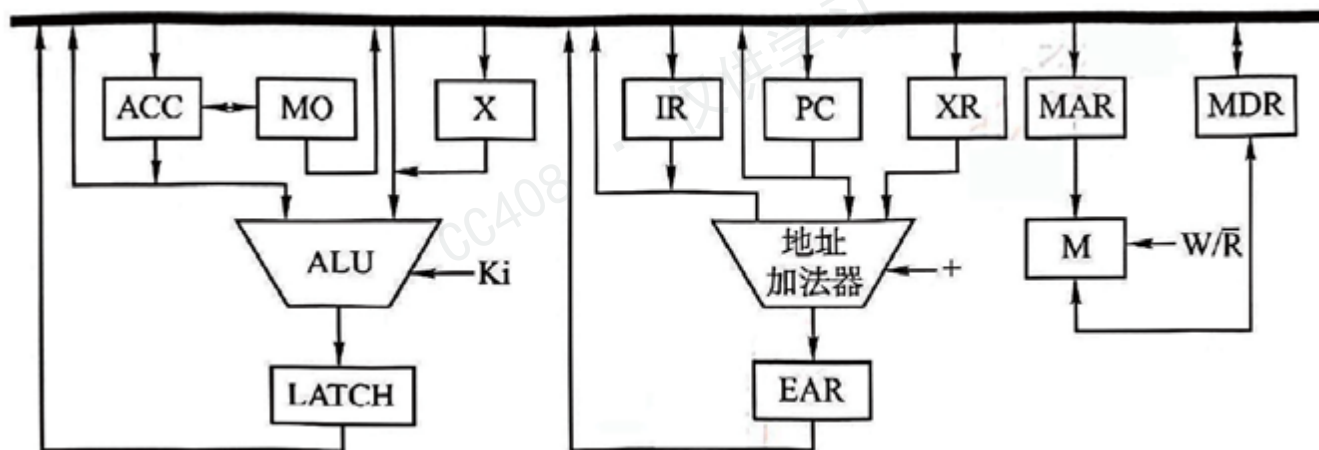
1) 请补充各部件之间的主要连接线（总线自己画），并注明数据流动方向。

2) 画出“ADD(R1),(R2)+”指令周期流程图，该指令的含义是进行求和运算，源操作数地址在R1 中，目的操作数寻址方式为自增型寄存器间接寻址方式(先取地址后加

1)，并将相加结果写回R2 寄存器。

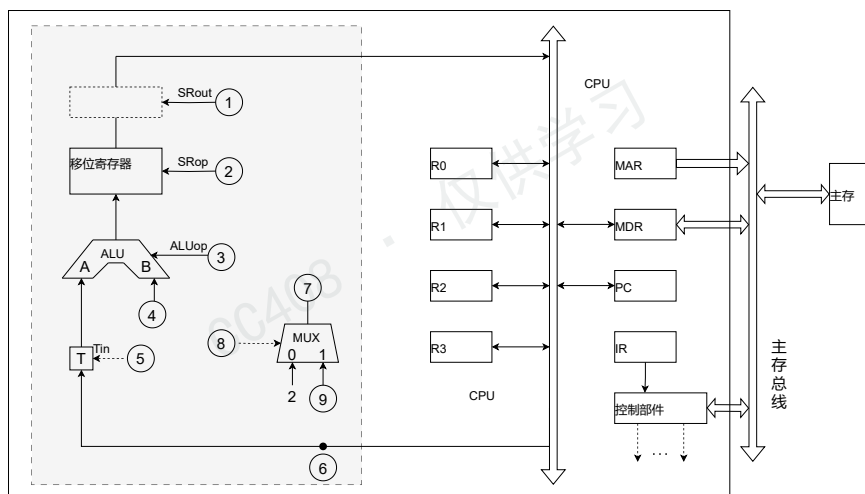
5-062 综合题

数据通路见图。XR为变址寄存器，EAR为有效地址寄存器，LATCH为ALU结果暂存，PC初始为当前指令地址。ADDX,D的语义为 $ACC \leftarrow ACC + M[XR + D]$ 。寄存器总线输入/输出控制记作 X_i/X_o 。为给出可复现流程，按字编址、PC加1；地址加法器可选IR地址字段D和XR，或PC和常数1，结果写EAR。给出含取指的流程及控制信号，主存读等待单列。



5-063 2015 年统考 · 第 43 题

某 16 位计算机的主存按字节编址，存取单位为 16 位；采用 16 位定长指令字格式；CPU 采用单总线结构，主要部分如下图所示。



图中 R0~R3 为通用寄存器；T 为暂寄存器；SR 为移位寄存器，可实现直送 (mov)、左移一位 (left) 和右移一位 (right) 3 种操作，控制信号为 SROP，SR 的输出由信号 SRout 控制；ALU 可实现直送 A (mova)、A 加 B (add)、A 减 B (sub)、A 与 B (and)、A 或 B (or)、非 A (not)、A 加 1 (inc) 这 7 种操作，控制信号为 ALUOp。

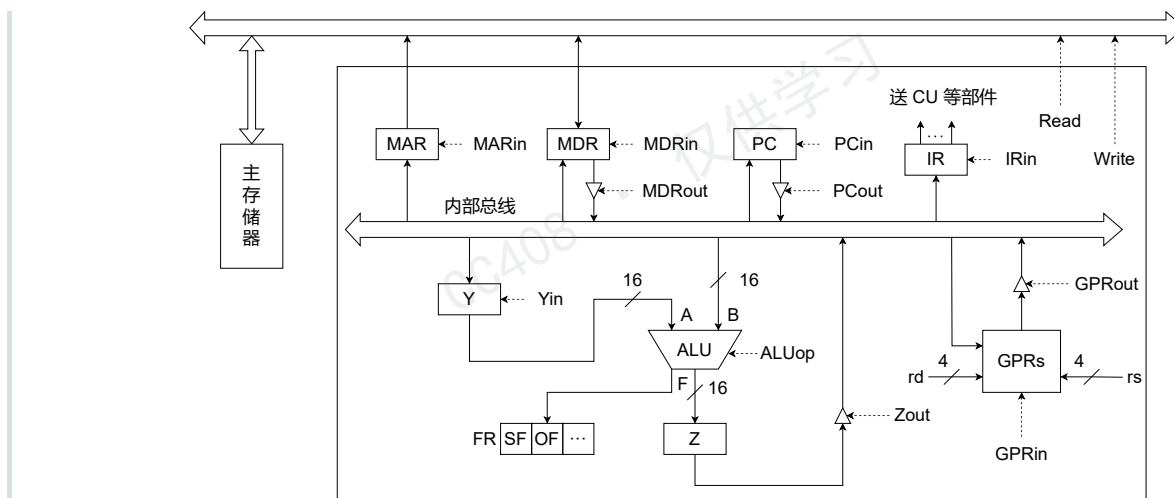
注：已补充内总线到 MAR 的箭头和内总线到 IR 的箭头。

请回答下列问题。

- (1) 图中哪些寄存器是程序员可见的？为何要设置暂寄存器 T？
- (2) 控制信号 ALUOp 和 SROP 的位数至少各是多少？
- (3) 控制信号 SRout 所控制部件的名称或作用是什么？
- (4) 端点①~⑨中，哪些端点须连接到控制部件的输出端？
- (5) 为完善单总线数据通路，需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点，以正确表示数据的流动方向。
- (6) 为什么二路选择器 MUX 的一个输入端是 2？

5-064 2022 年统考 · 第 43 题

(15 分) 某 CPU 中部分数据通路如图所示, 其中, GPRs 为通用寄存器组; FR 为标志寄存器, 用于存放 ALU 产生的标志信息; 带箭头虚线表示控制信号, 如控制信号 Read、Write 分别表示主存读、主存写, MDRin 表示内部总线上数据写入 MDR, MDRout 表示 MDR 的内容送内部总线。



(1) ALU 的输入端 A、B 及输出端 F 的最高位分别为 A15、B15 及 F15, FR 中的符号标志和溢出标志分别为 SF 和 OF, 则 SF 的逻辑表达式是什么? A 加 B 时 OF 的逻辑表达式是什么? A 减 B 时 OF 的逻辑表达式是什么? 要求逻辑表达式的输入变量为 A15、B15 及 F15。

(2) 为什么要设置暂存器 Y 和 Z?

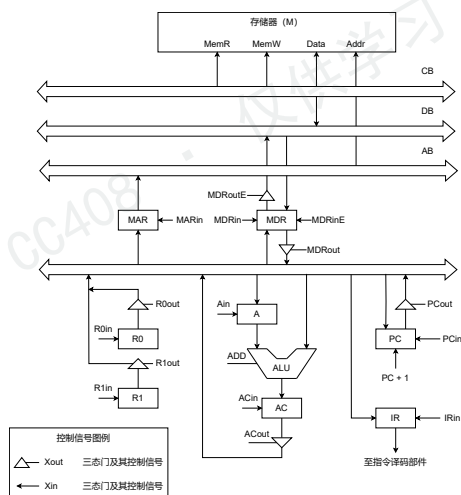
(3) 若 GPRs 的输入端 rs、rd 分别为所读、写的通用寄存器的编号, 则 GPRs 中最多有多少个通用寄存器? rs 和 rd 来自图中的哪个寄存器? 已知 GPRs 内部有一个地址译码器和一个多路选择器, rd 应该连接地址译码器还是多路选择器?

(4) 取指令阶段 (不考虑 PC 增量操作) 的控制信号序列是什么? 若从发出主存读命令到主存读出数据并传送到 MDR 共需 5 个时钟周期, 则取指令阶段至少需要几个时钟周期?

(5) 图中控制信号由什么部件产生? 图中哪些寄存器的输出信号会连到该部件的输入端?

5-065 2009 年统考 · 第 44 题

某计算机字长16位, 采用16位定长指令字结构, 部分数据通路结构如下图所示, 图中所有控制信号为1时表示有效、为0时表示无效。例如控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为 $(R0) + (R1) \rightarrow R1$, 即将 R0 中的数据与 R1 的内容所指主存单元的数据相加, 并将结果送入 R1 的内容所指主存单元中保存。



下表给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号, 请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

5-066 2015 年统考 · 第 44 题

题 43 中描述的计算机，其部分指令执行过程的控制信号如题 44 图 a 所示。

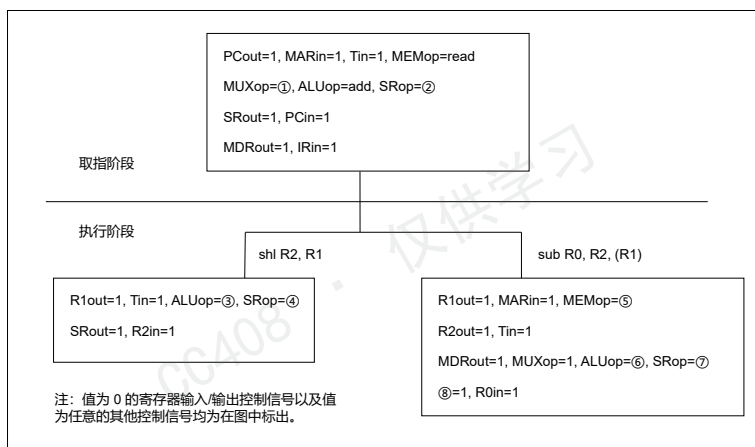


图 a 部分指令控制信号



图 b 指令格式

该机指令格式如题 44 图 b 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。

请回答下列问题。

- (1) 该机的指令系统最多可定义多少条指令？
- (2) 假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

```
inc R1;           // (R1)+1→R1
shl R2, R1;       // (R1)<<1→R2
sub R3, (R1), R2; // ((R1))-(R2)→R3
```

- (3) 假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout，其值为 1 表示有效，为 0 表示无效（例如，PCout=1 表示 PC 内容送总线）；存储器控制信号为 MEMop，用于控制存储器的读 (read) 和写 (write) 操作。写出题 44 图 a 中标号①~⑧处的控制信号或控制信号的取值。

- (4) 指令 sub R1, R3, (R2) 和 inc R1 的执行阶段至少各需要多少个时钟周期？

查看本题引用的共用条件

5.4 控制器的功能和工作原理

5-067 选择题

基本控制器开始取指时，其控制信号主要由（ ）产生。

- A. 尚未取得的当前操作码
 - B. 当前指令的地址码
 - C. 当前数据操作数
 - D. 控制器固有的取指时序
-

5-068 选择题

硬布线控制器形成具体控制信号时，所依赖的完整信息主要是（ ）。

- A. 只有操作码和地址码
 - B. 指令译码结果、当前时序状态及有关条件标志
 - C. 只有操作码和条件码
 - D. 只有数据状态和条件码
-

5-069 选择题

微程序控制器根据机器指令选择其执行微程序入口，主要使用（ ）。

- A. 机器指令地址码
 - B. 微指令地址码
 - C. 机器指令操作码
 - D. 微指令微操作码
-

5-070 选择题

下列不是微指令结构设计本身追求的目标的是（ ）。

- A. 提高微程序执行速度
 - B. 提供微程序编写的灵活性
 - C. 在满足功能时缩短微指令长度
 - D. 无条件增大控制存储器容量
-

5-071 选择题

在相近工艺和基本实现下，微程序控制通常比硬布线控制慢，其特有的主要原因是（ ）。

- A. 从磁盘读取微指令
- B. 从主存读取微指令
- C. 从机器IR读取微指令
- D. 从控制存储器读取微指令

5-072 选择题

各互斥字段需保留一个“不发出本组微命令”的编码。下列叙述错误的是（ ）。

I. 两组分别有4、9个微命令时，只需2、4位。II. 直接控制方式每位对应一个微命令，不需要字段译码。III. 垂直微指令较短，所以其执行效率和灵活性都高于水平微指令。IV. 字段间接编码的某字段译码依赖另一字段的输出。

- A. 仅II
- B. I、II
- C. I、III
- D. II、III、IV

5-073 选择题

在基本微程序控制计算机中，控制存储器属于（ ）的一部分。

- A. 主存
- B. 外存
- C. CPU
- D. 数据Cache

5-074 选择题

下列关于基本微程序控制器的叙述正确的是（ ）。

- A. 采用微程序控制主要为了比硬布线更快
- B. 控制存储器必须由高速RAM组成
- C. 微程序计数器直接决定机器程序的指令执行顺序
- D. 一个控制存储器字单元存放一条微指令

5-075 选择题

只比较基本硬布线和微程序控制的典型取舍：A更看重控制响应速度，B更看重指令控制逻辑的可修改性，应优先考虑（ ）。

- A. 二者都硬布线
- B. 二者都微程序
- C. A硬布线，B微程序
- D. A微程序，B硬布线

5-076 选择题

控制部件向执行部件发出的一个基本控制信号称为（ ）。

- A. 微程序
- B. 微指令
- C. 微操作
- D. 微命令

5-077 选择题

在基本微程序控制器中，一条机器指令通常由（ ）解释执行。

- A. 恰好一条微指令
- B. 若干微指令组成的相应微程序
- C. 整个用户程序共用的单条微指令
- D. 若干互不关联的完整用户程序

5-078 选择题

按本章“垂直微指令每条描述一个基本操作”的简化定义，与水平微指令相比（ ）。

- A. 水平微指令每次只能一个操作
- B. 垂直微指令每次只描述一个基本操作
- C. 两者每次都只能一个操作
- D. 两者每次都必然完成多个操作

5-079 选择题

下列关于垂直型微指令的描述，选择所有成立的项并说明理由。

- A. 控制信号经过编码产生
- B. 以强调最大并行控制为主要特征
- C. 采用微操作码描述基本操作
- D. 只是把微指令的图形格式竖着画

5-080 2024 年统考 · 第 13 题

将汇编语言程序中实现特定功能的指令序列定义成一条伪指令。下列选项中，CPU 能理解并直接执行的 是（ ）。

I. 伪指令

II. 微指令

III. 机器指令

IV. 汇编指令

A. 仅 I 和 IV

B. 仅 II 和 III

C. 仅 III 和 IV

D. 仅 I、III 和 IV

5-081 选择题

下列哪项完整描述“相容微命令”的定义（ ）。

A. 在同一时钟周期允许同时发出的微命令

B. 在同一时钟周期可同时出现，所以叫互斥微命令

C. 会引起总线驱动冲突的微命令互斥

D. 不允许同时出现，所以叫相容微命令

5-082 选择题

下列叙述正确的是（ ）。

I. 采用微程序控制的处理器才叫微处理器。II. 每条机器指令由相应微程序解释执行。III. 直接控制编码因不译码，其控制执行速度最低。IV. 水平微指令能利用数据通路的并行结构。

A. I、II

B. II、IV

C. I、III

D. III、IV

5-083 选择题

下列叙述正确的是（ ）。

I. 微程序一定使机器指令执行更快。II. μ PC 可替代 PC。III. 控制存储器可用 ROM。IV. 指令周期就是时钟周期。

A. I、III

B. II、III

C. 仅 III

D. I、III、IV

5-084 选择题

把一条机器指令的公共取指及全部执行微程序都计入，运行完该完整序列对应（ ）。

- A. 该机器指令的指令周期
- B. 一个主频周期
- C. 固定一个机器周期
- D. 无定义的工作周期

5-085 2019 年统考·第 17 题

【2019统考真题】某指令的功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$ ，其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件，该指令在取数及执行过程中需要用到的是（ ）。

- I. 通用寄存器组(GPRs)
- II. 算术逻辑单元(ALU)
- III. 存储器 (Memory)
- IV. 指令译码器(ID)

- A. 仅 I、II
- B. 仅 I、II、III
- C. 仅 II、III、IV
- D. 仅 I、III、IV

5-086 2021 年统考·第 17 题

【2021统考真题】下列寄存器中，汇编语言程序员可见的是（ ）。

- I. 指令寄存器
- II. 微指令寄存器
- III. 基址寄存器
- IV. 标志/状态寄存器

- A. 仅 I、II
- B. 仅 I、IV
- C. 仅 II、IV
- D. 仅 III、IV

5-087 选择题

下列部件中属于控制部件的是（ ）。

- I. 指令寄存器
- II. 操作控制器
- III. 程序计数器
- IV. 状态条件寄存器

- A. I、III、IV
- B. I、II、III
- C. I、II、IV
- D. I、II、III、IV

5-088 选择题

按本章基本控制部件的功能划分，属于控制部件的是（ ）。

- I. IR II. 操作控制器 III. PC IV. 状态条件寄存器

- A. I、III、IV
- B. I、II、III
- C. I、II、IV
- D. I、II、III、IV

5-089 2012 年统考·第 18 题

某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有33个微命令，构成5个互斥类，分别包含7、3、12、5和6个微命令，则操作控制字段至少有（ ）。

- A. 5 位
- B. 6 位
- C. 15 位
- D. 33 位

5-090 2014 年统考·第 18 题

【2014统考真题】某计算机采用微程序控制器，共有32条指令，公共的取指令微程序包含2条微指令，各指令对应的微程序平均由4条微指令组成，采用断定法（后继地址字段法）确定下条微指令地址，则微指令中后继地址字段的位数至少是（ ）。

- A. 5
- B. 6
- C. 8
- D. 9

5-091 2017 年统考 · 第 18 题

【2017统考真题】下列关于主存储器(MM)和控制存储器(CS)的叙述, 错误的是 ()。

- A. MM 在CPU 外, CS 在CPU内
- B. MM 按地址访问, CS 按内容访问
- C. MM 存储指令和数据, CS 存储微指令
- D. MM 用 RAM 和 ROM 实现, CS 用 ROM 实现

5-092 选择题

微程序的断定法(下地址字段法)基本思想是 ()。

- A. 用机器PC直接计数
- B. 只将 μ PC无条件加1
- C. 由微指令下地址字段及转移控制选择后继
- D. 由每条机器指令另给出全部微地址

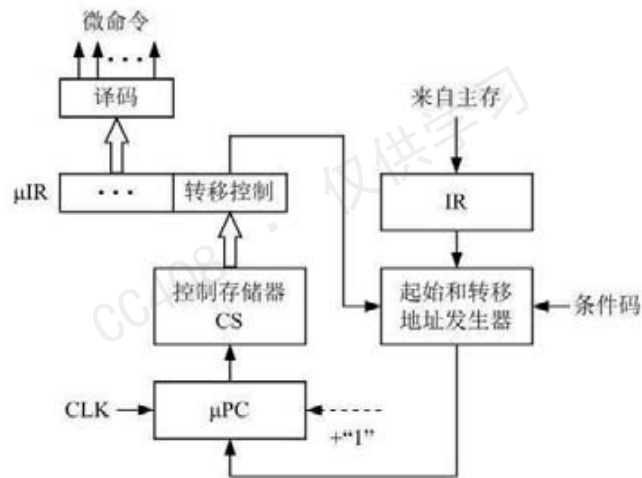
5-093 2009 年统考 · 第 19 题

【2009统考真题】相对于微程序控制器, 硬布线控制器的特点是 ()。

- A. 指令执行速度慢, 指令功能的修改和扩展容易
- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展容易
- D. 指令执行速度快, 指令功能的修改和扩展难

5-094 选择题

见原图。 μPC 为8位， μIR 为32位；CS按微指令字编址且完整实现256个地址。各机器指令的执行微程序彼此不共享，平均各占4个字，另有非空公共取指微程序。下列叙述错误的是（ ）。



- A. 图中有 μPC 加1的增量微地址通路
 B. 所示条件码可来自标志寄存器
 C. 扣除公共取指后，机器指令容量仍恰好为64条
 D. CS总容量为1KiB

5-095 综合题

主频200MHz。这里“CPU周期”指题设的机器周期，不是一个时钟周期。（1）平均每条指令2.5个机器周期，每机器周期2个时钟周期，求MIPS。（2）改为每条指令5个机器周期、每机器周期4拍，主频不变，求MIPS。（3）比较并说明主频与指令速度的关系。

5-096 综合题

80条机器指令，平均每条对应4条微指令，已包含所有指令公用的同一条取指微指令。其余执行微指令不再共享，微指令宽32位。求实际使用容量；若CS地址深度取2的整数次幂，再求可实现的最小整深度容量。

5-097 综合题

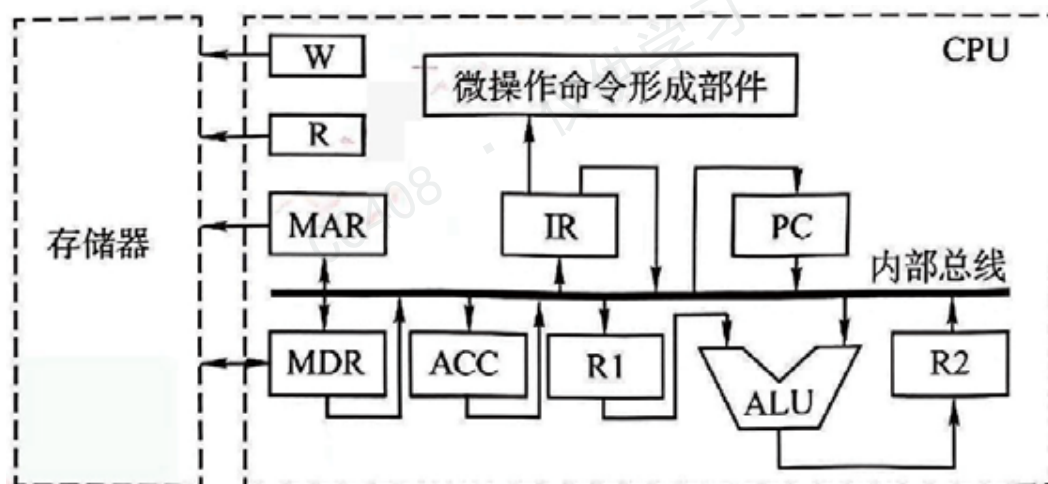
水平直接控制微指令，28个独立微命令；有6个互斥可选的外部条件，控制存储器 512×40 位，后继地址由下地址字段给出。设计一种40位格式，并解释各字段。条件选择需包含不判别/无条件方式。

5-098 综合题

52个微命令分成互斥组，数量5、8、2、15、22。每组需空操作编码；每条微指令至多选择两个外部条件中的一个进行判别，也可不判别。微指令长28位，剩余字段直接给出后继微地址。设计格式并求最大可直接寻址的控制存储容量。

5-099 综合题

数据通路见图，R1、R2是暂存器而不是架构通用寄存器。ALU的一路接R1，另一路可接内部总线，结果写R2；ALU既能相加，也能对总线直达输入加1。各寄存器单沿锁存；一拍主存读在MAR已稳定后发起，下一沿MDR有效。按字编址。（1）ADD #a语义 $ACC \leftarrow ACC + a$ ，给执行节拍。（2）用ALU实现 $PC + 1$ ，求取指最少节拍并列全微操作；内部总线只允许一个源驱动。

**5.5 异常和中断机制****5-100** 选择题

下列关于本章操作系统环境中自陷Trap的说法错误的是（ ）。

- A. 可人为预设特定处理事件
- B. 可由访管或陷阱指令触发
- C. 一定是程序出现错误才发生
- D. 处理器转入相应内核处理程序

5-101 选择题

当前指令执行中检测到内部异常，处理程序修复原因后应重试本条指令，这一类是（ ）。

- A. I/O中断
- B. 不可恢复的机器校验终止
- C. 故障Fault
- D. 异步外部中断

5-102 选择题

访问主存发生严重且不可恢复的校验错误，已不能可靠重启当前程序。按故障/自陷/终止分类属于（ ）。

- A. 故障
- B. 自陷
- C. 终止Abort
- D. 普通外部中断

5-103 选择题

按精确异常、在指令边界接受外部中断的基本模型，下列错误的是（ ）。

- A. 异常条件在相关指令执行时检测
- B. 可接受的外中断在指令边界被检查并接收
- C. 两者事件来源、保存断点和恢复方式完全一样
- D. 硬件入口按规定保存状态、转入处理程序，并按入口属性控制屏蔽状态

5-104 选择题

普通硬件管理Cache中，下列哪项本身不需要进入操作系统异常处理程序（ ）。

- A. 缺页故障
- B. Cache缺失
- C. 地址保护越界
- D. 整数除数为零异常

5-105 选择题

在一条指令执行后可进入中断周期的基本CPU中，外部中断已经允许且请求有效，响应点为（ ）。

- A. 本条指令的执行过程结束后
- B. 外设刚提出请求的任意瞬间
- C. 仅取指结束时
- D. 包含中断周期的整个指令周期都结束后

5-106 选择题

下列不属于外部中断请求的是（ ）。

- A. 定时采样时间到
- B. 执行到无效操作码
- C. 打印机缺纸请求服务
- D. 键盘输入缓冲满足请求条件

5-107 选择题

下列说法错误的是（ ）。

- A. 异常/中断与进程切换都可改变通常控制流
- B. 完成进程切换后可执行另一进程
- C. 响应入口完成后可开始执行内核处理程序
- D. 异常/中断最初的硬件入口动作本身全部由内核指令执行

5-108 选择题

在本章精确事件模型中，下列关于恢复点的说法错误的是（ ）。

- A. 可恢复Trap返回触发指令的后继
- B. 可恢复Fault重试故障指令
- C. 外部中断处理后总要重执行刚完成的指令
- D. Abort不保证存在可可靠恢复的当前或后继断点

5-109 2020 年统考 · 第 18 题

【2020统考真题】下列关于“自陷”（Trap，也称陷阱）的叙述中，错误的是（ ）。

- A. 自陷是通过陷阱指令预先设定的一类外部中断事件
- B. 自陷可用于实现程序调试时的断点设置和单步跟踪
- C. 自陷发生后CPU 将转去执行操作系统内核相应程序
- D. 自陷处理完成后返回到陷阱指令的下一条指令执行

5-110 2021 年统考 · 第 21 题

【2021统考真题】异常事件在当前指令执行过程中进行检测，中断请求则在当前指令执行后进行检测。下列事件中，相应处理程序执行后，必须回到当前指令重新执行的是（ ）。

- A. 系统调用
- B. 页缺失
- C. DMA 传送结束
- D. 打印机缺纸

5-111 2015 年统考·第 22 题

【2015统考真题】内部异常（内中断）可分为故障(fault)、陷阱(trap)和终止(abort)三类。下列有关内部异常的叙述中，错误的是（ ）。

- A. 内部异常的产生与当前执行指令相关
- B. 内部异常的检测由CPU内部逻辑实现
- C. 内部异常的响应发生在指令执行过程中
- D. 内部异常处理后返回到发生异常的指令继续执行

5-112 2016 年统考·第 22 题

【2016统考真题】异常是指令执行过程中在处理器内部发生的特殊事件，中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中，错误的是（ ）。

- A. “访存时缺页”属于中断
- B. “整数除以0”属于异常
- C. “DMA 传送结束”属于中断
- D. “存储保护错”属于异常

5.6 指令流水线

5-113 选择题

下列关于流水线CPU的叙述正确的是（ ）。

- A. 流水线只靠复制完整处理器实现空间并行
- B. 只有RISC才能采用流水线
- C. 必须多核才能流水
- D. 让不同指令的不同阶段在时间上重叠

5-114 选择题

理想平衡流水线有 m 段，每段耗时 Δt ；另一系统有 m 个可并行工作的完整非流水执行部件，每个处理一条指令需 $m\Delta t$ 。忽略冲突和通信开销，稳态吞吐能力（ ）。

- A. 相同
- B. 必定不相同
- C. 流水线更大
- D. 流水线更小

5-115 选择题

理想单发射三级流水，三段各 Δt ，无阻塞，从第一条进入到第12条离开共需（ ）。

- A. $12\Delta t$
- B. $14\Delta t$
- C. $16\Delta t$
- D. $18\Delta t$

5-116 选择题

理想四发射三级流水，段时间均 Δt ，20条指令能每批4条无冲突进入，共需（ ）。

- A. $3\Delta t$
- B. $5\Delta t$
- C. $7\Delta t$
- D. $9\Delta t$

5-117 选择题

取指、分析、执行组合耗时分别 $2ns$ 、 $2ns$ 、 $1ns$ ，新指令每 $2ns$ 进入。末条以执行结果稳定的瞬间计时，不等待额外统一写回边沿；忽略锁存开销。100条无阻塞指令全部结果稳定需（ ）。

- A. $163ns$
- B. $183ns$
- C. $193ns$
- D. $203ns$

5-118 选择题

基本同步流水设计中，下列错误的是（ ）。

- A. 指令所需各子功能须安排在相应阶段
- B. 指令按规定阶段次序向后推进
- C. 无停顿时各段按统一周期推进
- D. 任何时候任何段都不可能执行空操作

5-119 选择题

关于流水段寄存器，正确的是（ ）。

- A. 后续阶段需要的控制信息须随相应指令保存和传递
- B. 各级寄存器位数必定一样
- C. 各级保存的信息必定一样
- D. 用户程序能按编号直接读写流水段寄存器

5-120 选择题

下列关于流水线数据通路的描述中，错误的是（ ）。

- A. 每个流水段由执行指令子功能的功能部件和流水段寄存器组成
- B. 控制信号仅作用在功能部件上，时钟信号仅作用在流水段寄存器上
- C. 在没有阻塞的情况下，PC 的值在每个时钟周期都会改变
- D. 取指令阶段和指令译码阶段不需要控制信号的控制

5-121 选择题

采用每拍顺序或转移更新PC的基本流水线，下列错误的是（ ）。

- A. 功能部件与段间状态共同构成流水级
- B. 控制信号选择运算及写使能，时钟使PC、寄存器组和段寄存器等状态更新
- C. 无停顿且后继地址不等于原地址时PC逐拍改变
- D. 取指和译码完全不需要任何控制

5-122 选择题

下列关于基本流水线结构冒险的叙述正确的是（ ）。

I. 多指令同拍争用不能同时满足请求的资源。II. 规定各类资源的访问阶段可减少冲突。III. 增配足够功能部件可避免相应资源争用。IV. 分离指令/数据Cache可解决二者同拍访问单端口Cache的冲突。

- A. I、II、IV
- B. I、II、III
- C. I、III、IV
- D. I、II、III、IV

5-123 选择题

后继指令需要尚未写回寄存器的前条结果时，可部分解决等待的方法是（ ）。

- A. 只复制无关功能部件
- B. 数据旁路/转发
- C. 仅分支预测
- D. 以上都能直接解决该数据依赖

5-124 选择题

经典IF/ID/EX/MEM/WB流水，LOAD数据在MEM末产生、后继ALU在EX开始要用。下列正确的是（ ）。

I. 转发不能消除所有数据冒险停顿。II. 相邻load-use至少需一拍等待。III. 任何分支/带链接转移与后继ALU之间都不可能有寄存器数据冒险。

A. I、II

B. I、III

C. II、III

D. I、II、III

5-125 选择题

限定按序、固定阶段读写的基本流水线，下列正确的是（ ）。

I. 后继所需数据尚未由前条产生会形成RAW冒险。II. 插入足够NOP可等待结果。III. 旁路可缓解部分数据等待。IV. 保持语义的编译器调度可填补等待位置。

A. I、II、IV

B. I、II、III

C. I、III、IV

D. I、II、III、IV

5-126 选择题

经典五级流水，采用完整EX旁路，LOAD在MEM末产生结果。执行下列序列，在I3前至少加多少条NOP可避免数据冒险停顿？

```
I1: add r1, r0, 1
I2: load r3, 12(r2)
I3: add r5, r3, r1
```

A. 3

B. 2

C. 0

D. 1

5-127 选择题

下列叙述错误的是（ ）。

I. 无条件转移绝不产生控制冒险。II. 在转移确定前插入足够空操作可等待正确后继。III. 普通数据旁路本身就能预测正确后继并消除控制冒险。IV. 异常/中断也可改变控制流。V. 加深流水线不会影响错误取指的代价。

A. I、IV、V

B. III、V

C. I、III、IV

D. I、III、V

5-128 选择题

下列正确的是（ ）。

I. 分支预测直接产生未计算出的数据以解决RAW。II. 同一静态分支采用固定规则时，各次预测相同。III. 利用历史的动态预测通常可提高适合负载的预测成功率。IV. 预测错误时必须取消错误路径指令的架构影响。

A. I、II、III

B. I、II、IV

C. II、III、IV

D. I、II、III、IV

5-129 选择题

下列错误的是（ ）。

A. 段数加倍不保证吞吐量加倍

B. 为了吞吐率应无限增加段数

C. 适度细分组合逻辑可能提高主频

D. 细分后段寄存器时序开销占比往往上升

5-130 2014 年统考·第 16 题

【2014统考真题】采用指令Cache 与数据 Cache 分离的主要目的是（ ）。

A. 降低Cache 的缺失损失

B. 提高Cache 的命中率

C. 降低CPU 平均访存时间

D. 减少指令流水线资源冲突

5-131 选择题

关于超标量CPU，错误的是（ ）。

- A. 整个处理器可在一拍发射多条指令
- B. 指令可再分阶段重叠执行
- C. 配置多条执行通路，以硬件资源换取指令级并行
- D. 超标量仅指ALU算术操作并行，其他阶段无需匹配

5-132 2017 年统考·第 17 题

【2017统考真题】下列关于超标量流水线特性的叙述中，正确的是（ ）。

- I. 能缩短流水线功能段的处理时间
 - II. 能在一个时钟周期内同时发射多条指令
 - III. 能结合动态调度技术提高指令执行并行性
- A. 仅II
 - B. 仅 I、III
 - C. 仅II、III
 - D. I、II和III

5-133 2020 年统考·第 17 题

【2020统考真题】下列给出的处理器类型中，理想情况下，CPI 为 1 的是（ ）。

- I. 单周期CPU
 - II. 多周期CPU
 - III. 基本流水线CPU
 - IV. 超标量流水线 CPU
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅II、IV
 - D. 仅III、IV

5-134 选择题

下列关于流水并行技术的叙述错误的是（ ）。

- A. 超标量需要相应多个部件、端口及译码能力
- B. VLIW只要求编译器，没有任何配套硬件要求
- C. 按序且固定同级读写的基本流水不会发生 WAR/WAW时序冒险
- D. 超流水可通过细分阶段缩短新时钟周期

5-135 2009 年统考·第 18 题

某计算机的指令流水线由四个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90 ns、80 ns、70 ns、和 60 ns, 则该计算机的 CPU 时钟周期至少是 ()。

- A. 90 ns
- B. 80 ns
- C. 70 ns
- D. 60 ns

5-136 2011 年统考·第 18 题

【2011 统考真题】下列指令系统的特点中, 有利于实现指令流水线的是 ()。

- I. 指令格式规整且长度一致
- II. 指令和数据按边界对齐存放
- III. 只有 LOAD/STORE 指令才能对操作数进行存储访问

- A. 仅 I、II
- B. 仅 II、III
- C. 仅 I、III
- D. I、II、III

5-137 2013 年统考·第 18 题

某 CPU 主频为 1.03 GHz, 采用 4 级指令流水线, 每个段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中没有发生任何流水线阻塞, 此时流水线的吞吐率为 ()。

- A. 0.25×10^9 条指令/秒
- B. 0.97×10^9 条指令/秒
- C. 1.0×10^9 条指令/秒
- D. 1.03×10^9 条指令/秒

5-138 2019 年统考 · 第 18 题

在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中，执行如下指令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

```
I1: add    s2, s1, s0    // R[s2] ← R[s1] + R[s0]
I2: load   s3, 0(t2)     // R[s3] ← M[R[t2] + 0]
I3: add    s2, s2, s3     // R[s2] ← R[s2] + R[s3]
I4: store  s2, 0(t2)     // M[R[t2] + 0] ← R[s2]
```

下列指令对中，不存在数据冒险的是（ ）。

- A. I1 和 I3
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

5-139 2025 年统考 · 第 18 题

【2025统考真题】下列关于CPI 和 CPU 时钟周期的叙述中，错误的是（ ）。

- A. 不同类型指令的CPI 可能不一样
- B. 程序的CPI 与 Cache 缺失率无关
- C. 单周期 CPU 的时钟周期以最耗时指令所用时间为准
- D. 流水线CPU 的时钟周期以最长流水段所用时间为准

5-140 2010 年统考 · 第 19 题

【2010统考真题】下列不会引起指令流水线阻塞的是（ ）。

- A. 数据旁路
- B. 数据相关
- C. 条件转移
- D. 资源冲突

5-141 2016 年统考 · 第 19 题

【2016 统考真题】在无转发机制的五段基本流水线（取指、译码/读寄存器、运算、访存、写回寄存器）中，下列指令序列存在数据冒险的指令对是（ ）。

I1: add R1, R2, R3; (R2) + (R3) → R1

I2: add R5, R2, R4; (R2) + (R4) → R5

I3: add R4, R5, R3; (R5) + (R3) → R4

I4: add R5, R2, R6; (R2) + (R6) → R5

A. I1 和 I2

B. I2 和 I3

C. I2 和 I4

D. I3 和 I4

5-142 2017 年统考 · 第 19 题

【2017 统考真题】下列关于指令流水线数据通路的叙述中，错误的是（ ）。

A. 包含生成控制信号的控制部件

B. 包含算术逻辑运算部件(ALU)

C. 包含通用寄存器组和取指部件

D. 由组合逻辑电路和时序逻辑电路组合而成

5-143 2023 年统考 · 第 19 题

在采用“取指、译码/取数、执行、访存、写回”5段流水线的 RISC 处理器中，执行如下指令序列（第一列为指令序号），其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

```
I1  add  s2, s1, s0    // R[s2] ← R[s1] + R[s0]
I2  load s3, 0(s2)    // R[s3] ← M[R[s2] + 0]
I3  beq  t2, s3, L1    // if R[t2] = R[s3] jump to L1
I4  addi t2, t2, 20    // R[t2] ← R[t2] + 20
I5  L1: ...
```

若采用转发（旁路）技术处理数据冒险，采用硬件阻塞方式处理控制冒险，则在 I1 ~ I4 执行过程中，发生流水线阻塞的指令有（ ）。

A. 仅 I3

B. 仅 I2、I4

C. 仅 I3、I4

D. 仅 I2、I3、I4

5-144 2024 年统考 · 第 19 题

5 段流水线 RISC 说法错误的是 ()。

- A. 相邻两条指令中的操作数相关可能引起数据冒险
- B. 在数据相关的指令间插入“气泡”能避免数据冒险
- C. 有数据冒险都可以通过加入转发旁路电路解决
- D. 所有数据相关都可以通过添加nop 指令以及调整指令顺序来解决

5-145 2025 年统考 · 第 19 题

【2025统考真题】下列关于CPU 中的数据通路和控制器的叙述中，错误的是 ()。

- A. 通用寄存器组中应该包含程序计数器
- B. 控制器中一定包含指令操作码的译码电路
- C. 单周期CPU中的控制器比多周期CPU中的更简单
- D. 流水线CPU 需解决数据相关和控制相关等冒险问题

5-146 2018 年统考 · 第 20 题

【2018统考真题】若某计算机最复杂指令的执行需要完成5个子功能，分别由功能部件 A ~ E 实现，各功能部件所需时间分别为80ps、50ps、50ps、70ps和50ps，采用流水线方式执行指令，流水段寄存器延时为20ps，则CPU 时钟周期至少为 ()。

- A. 60ps
- B. 70ps
- C. 80ps
- D. 100ps

5-147 2012 年统考·第 44 题

某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。下表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x) 表示寄存器 x 或存储单元 x 的内容。

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB)，流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

I_1 LOAD R1, [a]
 I_2 LOAD R2, [b]
 I_3 ADD R1, R2
 I_4 STORE R2, [x]

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I_1	IF	ID	EX	M	WB									
I_2		IF	ID	EX	M	WB								
I_3			IF				ID	EX	M	WB				
I_4							IF				ID	EX	M	WB

(1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行指令“SHR R1”后，R1 的内容是多少（用十六进制表示）？

(2) 若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？

(3) 若高级语言程序中某赋值语句为 $x=a+b$ ，x、a 和 b 均为 int 型变量，它们的存储单元地址分别表示为 [x]、[a] 和 [b]。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

则这 4 条指令执行过程中， I_3 的 ID 段和 I_4 的 IF 段被阻塞的原因各是什么？

(4) 若高级语言程序中某赋值语句为 $x=x*2+a$ ，x 和 a 均为 unsigned int 类型变量，它们的存储单元地址分别表示为 [x]、[a]，则执行这条语句至少需要多少个时钟周期？要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

5-148 2014 年统考·第 44 题

某程序中有如下循环代码段 P: for (int i=0; i<N; i++) sum += A[i];。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中，数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 08048100H，对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4, R2, 2	$(R2) \ll 2 \rightarrow R4$
2	08048104H	00832020H	add R4, R4, R3	$(R4) + (R3) \rightarrow R4$
3	08048108H	8C850000H	load R5, 0(R4)	$((R4) + 0) \rightarrow R5$
4	0804810CH	00250820H	add R1, R1, R5	$(R1) + (R5) \rightarrow R1$
5	08048110H	20420001H	add R2, R2, 1	$(R2) + 1 \rightarrow R2$
6	08048114H	1446FFFAH	bne R2, R6, loop	if $(R2) \neq (R6)$ goto loop

执行上述代码的计算机 M 采用 32 位定长指令字，其中分支指令 bne 采用如下格式：

31 ~ 26	25 ~ 21	20 ~ 16	15 ~ 0
OP	Rs	Rd	OFFSET

OP 为操作码，Rs 和 Rd 为寄存器编号，OFFSET 为偏移量，用补码表示。请回答下列问题，并说明理由。

- (1) M 的存储器编址单位是什么？
- (2) 已知 sll 指令实现左移功能，数组 A 中每个元素占多少位？
- (3) 表中 bne 指令的 OFFSET 字段的值是多少？已知 bne 指令采用相对寻址方式，当前 PC 内容为 bne 指令地址，通过分析题 44 表中指令地址和 bne 指令内容，推断出 bne 指令的转移目标地址计算公式。
- (4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线：IF（取指）、ID（译码及取数）、EXE（执行）、MEM（访存）、WB（写回寄存器），且硬件不采取任何转发措施，分支指令的执行均引起 3 个时钟周期阻塞，则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞？

5-149 2014 年统考·第 45 题

假设对于题 44 中的计算机 M 和程序段 P 的机器代码，M 采用页式虚拟存储管理；P 开始执行时， $(R1) = (R2) = 0$ ， $(R6) = 1000$ ，其机器代码已调入主存但不在 Cache 中；数组 A 未调入主存，且所有数组元素在同一页，并存储在磁盘同一个扇区。请回答下列问题并说明理由。

- (1) P 执行结束时，R2 的内容是多少？
- (2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行，Cache 和主存交换的块大小为 32 字节，则其数据区的容量是多少？若仅考虑程序段 P 的执行，则指令 Cache 的命中率为多少？
- (3) P 在执行过程中，哪条指令的执行可能发生溢出异常？哪条指令的执行可能产生缺页异常？对于数组 A 的访问，需要读磁盘和 TLB 至少各多少次？

共用程序

某程序中有如下循环代码段 P: for (int i=0; i<N; i++) sum += A[i];。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中, 数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 08048100H, 对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4, R2, 2	(R2)<<2 → R4
2	08048104H	00832020H	add R4, R4, R3	(R4)+(R3) → R4
3	08048108H	8C850000H	load R5, 0(R4)	((R4)+0) → R5
4	0804810CH	00250820H	add R1, R1, R5	(R1)+(R5) → R1
5	08048110H	20420001H	add R2, R2, 1	(R2)+1 → R2
6	08048114H	1446FFFAH	bne R2, R6, loop	if (R2)≠(R6) goto loop

[查看共用程序的原题](#)

5.7 多处理器的基本概念

5-150 选择题

在单纯提高频率受功耗与时序约束时, 扩大计算吞吐量的重要技术途径是 ()。

- A. 只无限提高主频
- B. 只扩大主存容量
- C. 必须完全放弃存储程序
- D. 利用并行处理技术

5-151 选择题

多个处理器各自运行独立指令流、处理各自数据, 按Flynn分类属于 ()。

- A. SISD
- B. SIMD
- C. MISD
- D. MIMD

5-152 选择题

由统一控制把同一操作广播给多个处理单元、作用于不同数据的阵列处理机属于（ ）。

- A. SISD
- B. SIMD
- C. MIMD
- D. MISD

5-153 选择题

以下机器中，不属于SIMD 结构的是（ ）。

- A. 并行处理机
- B. 阵列处理机
- C. 向量处理机
- D. 标量流水线处理机

5-154 选择题

以下机器中，不属于SIMD结构的是（ ）。

- A. 由同一控制流驱动、同时对多组数据执行相同操作的并行处理阵列
- B. 阵列处理机
- C. 向量处理机
- D. 标量流水线处理机

5-155 选择题

一个控制器向多个处理单元广播同一条指令，各单元操作不同数据，属于（ ）。

- A. SISD
- B. SIMD
- C. MISD
- D. MIMD

5-156 选择题

关于同时多线程/超线程，正确的是（ ）。

- A. 四个物理核心会变成八个物理核心
- B. 性能收益与操作系统和应用完全无关
- C. 发挥优势需要兼容的平台、固件与操作系统支持及适合的线程负载
- D. 同一物理核上的逻辑处理器拥有全部互不共享的资源

5-157 选择题

在资源及工作负载允许时，双核CPU与支持双线程的单核CPU共有的能力是（ ）。

- A. 都必须有两个物理核
- B. 可使两个线程的运算在时间上重叠
- C. 都必须含两个独立CPU封装
- D. 从不竞争任何资源

5-158 选择题

双核CPU是指（ ）。

- A. 主板必有两个CPU插槽
- B. 必然用超线程仿真出来
- C. 一颗CPU集成两个执行核心
- D. 只是一条标量流水线分成两个时间段

5-159 选择题

对采用统一标称核心频率、共享主存的基本双核设计，下列错误的是（ ）。

- A. 标称2.4GHz不应简单相加成每核4.8GHz
- B. 相同性能目标下多核方案可能降低功耗
- C. 两核可以共享内存中的数据
- D. 任意程序换到多核都保证运行更快

5-160 选择题

下列正确的是（ ）。

- A. 所有多核必须完全对称且Cache完全私有
- B. 任意程序都自动分散到多个核执行
- C. 一颗CPU可包含多个执行内核以同时处理不同工作
- D. 只有多核才能运行多任务操作系统

5-161 选择题

下列关于多核处理器的说法中，不正确的是（ ）。

- A. 多核处理器并不能使单线程程序的执行速度加快
- B. 多核处理器在 Flynn 分类法中属于MIMD 系统
- C. 多核处理器实际上就是在一个 CPU 上集成了多个控制核心
- D. 多核处理器通常比单核处理器的能耗更高

5-162 选择题

关于共享主存的多核处理器，下列说法中，错误的是（ ）。

- A. 其他条件不变且程序没有并行化时，仅增加核数不会自动加快这个单线程程序
- B. 多个核心能够执行独立指令流时，整体按Flynn分类属于MIMD
- C. 多核处理器在一个处理器芯片中集成多个可执行指令的处理核心
- D. 不论工艺、频率、开启核数及工作负载如何，多核完成同一任务消耗的能量一定比单核更多

5-163 2022 年统考 · 第 22 题

【2022统考真题】下列关于并行处理技术的叙述中，不正确的是（ ）。

- A. 多核处理器属于MIMD 结构
- B. 向量处理器属于 SIMD 结构
- C. 硬件多线程技术只可用于多核处理器
- D. SMP 中所有处理器共享单一物理地址空间

第6章 总线

计算机组成原理 · 做题本 · 48题

6.1 总线概述

6-001 选择题

挂接在同一组共享总线上的多个部件，在一个传输时刻只允许一个部件驱动总线时（ ）。

- A. 只能分时发送，也只能分时接收
- B. 只能分时发送，但可同时接收
- C. 可同时发送，也可同时接收
- D. 可同时发送，但只能分时接收

6-002 选择题

按传送信息的性质，传统系统总线分为数据、地址和控制三类。下列哪项不是与这三类并列的独立分类（ ）。

- A. 数据信息
- B. 地址信息
- C. 系统信息
- D. 控制信息

6-003 选择题

传统系统总线主要连接（ ）。

- A. 寄存器和运算器部件
- B. 运算器和控制器部件
- C. CPU、主存和外设接口等系统部件
- D. 接口和外部设备

6-004 选择题

采用总线结构便于增减外设，同时一般可以（ ）。

- A. 减少信息本身的传输量
- B. 保证提高每次传输速度
- C. 减少信息传输线的条数
- D. 保证提高信息传输的并行性

6-005 选择题

一次间接寻址在取指后的第一次访存读出操作数有效地址。读出的这一信息经系统总线的哪部分送回CPU ()。

- A. 数据总线
- B. 地址总线
- C. 控制总线
- D. 总线控制器

6-006 选择题

传统系统总线中，地址线的功能表述最完整的是 ()。

- A. 选择主存单元地址
- B. 选择进行信息传输的设备
- C. 选择外存磁盘内部的物理位置
- D. 指定主存单元和I/O接口端口的地址

6-007 选择题

系统总线控制线的主要功能是 ()。

- A. 只提供时序信号
- B. 只提供主存和I/O模块的回答信号
- C. 提供定时、操作命令以及请求/回答等控制信号
- D. 提供操作数本身

6-008 选择题

让不同性质的信号在同一组信号线上分时传输，称为 ()。

- A. 总线复用方式
- B. 并串行传输方式
- C. 并行传输方式
- D. 串行传输方式

6-009 选择题

在地址线与数据线分开的非复用系统总线中，主存接口主要依据什么区分线上信息是地址还是数据 ()。

- A. 信号所在的总线类别
- B. MDR
- C. MAR
- D. CU

6-010 选择题

32位总线的时钟频率为500MHz，每传送一个32位字占5个时钟周期。有效数据传输率为（ ）。

- A. 200MB/s
- B. 400MB/s
- C. 600MB/s
- D. 800MB/s

6-011 选择题

一幅640×480像素、65536种颜色的无压缩图像，经有效数据率56kb/s的链路传输。按k=1000、不计文件头，约需（ ）。

- A. 34.82s
- B. 43.86s
- C. 85.71s
- D. 87.77s

6-012 选择题

某总线共有104根信号线，其中数据线32根，数据传送率为每秒33M次，每次传一个总线宽度的数据。理论最大数据率为（ ）。

- A. 33MB/s
- B. 64MB/s
- C. 132MB/s
- D. 164MB/s

6-013 选择题

16位总线时钟为100MHz，每5个时钟周期传送一个16位字，其有效带宽为（ ）。

- A. 4MB/s
- B. 40MB/s
- C. 16MB/s
- D. 64MB/s

6-014 选择题

下列信息中，可经传统控制总线传送的是（ ）。

- I. 主存和I/O设备的地址信息
- II. 主存和I/O设备的时序、控制信号
- III. 主存和I/O设备的响应信号
- IV. 主存中存放的数据

- A. I、IV
- B. II、III
- C. I、II、III
- D. II、III、IV

6-015 选择题

总线中，有些信息是单向传输的，有些信息是双向传输的，下列说法中正确的是（ ）。

- A. 数据信息是单向传输的，由内存或外设传送至CPU
- B. 地址信息是单向传输的，由CPU 发送至内存或外设
- C. 控制信息是双向传输的，由CPU 发送至内存或外设，也可反向
- D. 状态信息是双向传输的，由CPU 发送至内存或外设，也可反向

6-016 选择题

对于允许CPU之外的主设备（如DMA控制器）取得总线控制权的系统，下列说法中正确的是（ ）。

- A. 数据只能由内存或外设单向传给CPU
- B. 地址始终只能由CPU发送给内存或外设
- C. 控制线集合中既有主设备发出的命令，也有从设备返回的响应
- D. 状态信息总是由CPU和外设相互双向报告

6-017 2013 年统考·第 19 题

【2013统考真题】下列选项中，用于设备和设备控制器之间互连的接口标准是（ ）。

- A. PCI
- B. USB
- C. AGP
- D. PCI-Express

6-018 2014 年统考·第 19 题

【2014统考真题】某同步总线采用数据线和地址线复用方式，其中地址/数据线有32根，总线时钟频率为66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据传输速率（总线带宽）是（ ）。

- A. 132MB/s
- B. 264MB/s
- C. 528MB/s
- D. 1056MB/s

6-019 2019 年统考·第 19 题

【2019统考真题】某计算机采用3通道存储器总线，配套的内存条型号为DDR3-1333，即内存条所接插的存储器总线的工作频率为1333MHz，总线宽度为64位，则存储器总线的总带宽大约是（ ）。

- A. 10.66GB/s
- B. 32GB/s
- C. 64GB/s
- D. 96GB/s

6-020 2020 年统考·第 19 题

QPI 总线是一种点对点全工双周同步串行总线，总线上的设备可同时接收和发送信息，每个方向可同 时传输20位信息（16位数据+4位校验位），每个QPI 数据包有80位信息，分2个时钟周期传送，每个 时钟周期传递2次，因此 QPI 总线带宽为每秒传送次数*2B*2。若QPI 时钟频率为2.4GHz，则总线带宽 为（ ）。

- A. 4.8 GB/s
- B. 9.6 GB/s
- C. 19.2 GB/s
- D. 38.4 GB/s

6-021 2009 年统考·第 20 题

【2009统考真题】假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2个时钟周期，总线时钟频率为10MHz，则总线带宽是（ ）。

- A. 10MB/s
- B. 20MB/s
- C. 40MB/s
- D. 80MB/s

6-022 2010 年统考 · 第 20 题

【2010统考真题】下列选项中的英文缩写均为总线标准的是（ ）。

- A. PCI、CRT、USB、EISA
- B. ISA、CPI、VESA、EISA
- C. ISA、SCSI、RAM、MIPS
- D. ISA、EISA、PCI、PCI-Express

6-023 2011 年统考 · 第 20 题

【2011统考真题】在系统总线的数据线上，不可能传输的是（ ）。

- A. 指令
- B. 操作数
- C. 握手（应答）信号
- D. 中断类型号

6-024 2012 年统考 · 第 20 题

【2012统考真题】*下列关于 USB总线特性的描述中，错误的是（ ）。

- A. 可实现外设的即插即用和热拔插
- B. 可通过级联方式连接多台外设
- C. 是一种通信总线，连接不同外设
- D. 同时可传输2位数据，数据传输速率高

6-025 2024 年统考 · 第 20 题

存储器总线的时钟频率为420MHz, 总线宽度为64位, 每个时钟周期传送2次数据, 支持突发传输, 最多传8次, 第一个时钟传地址和读写命令, 从第4~7个始终连续传8次。总线带宽最大传输速率为（ ）。

- A. 3.84GB/s
- B. 6.72GB/s
- C. 30.72 GB/s
- D. 53.76GB/s

6-026 2025 年统考 · 第 20 题

某处理器总线采用同步, 并行传输方式, 每个总线时钟周期传送4次数据 (quadpumped 技术), 若该总线的工作频率为1333MHz (实际单位是 MT/s, 表示每秒传送1333M/次), 总线宽度为64位, 则总线带宽约为（ ）。

- A. 10.665 GB/s
- B. 42.66 GB/s
- C. 85.31 GB/s
- D. 341.25 GB/s

6-027 综合题

某总线时钟66MHz、数据宽64位。每个数据字为64位，一次以7个时钟周期传送6个字，事务之间不重叠。

- (1) 求有效数据传输速率。
- (2) 数据块大小与每块拍数不变，仅把时钟频率减半，速率是多少？

6-028 综合题

某总线时钟100MHz，支持二级Cache块传输。每块6字，每字4B。

- (1) 读：1拍接地址、2拍延时、4拍传完整块。求有效读速率。
- (2) 写：1拍接地址、1拍延时、4拍传完整块。求有效写速率。
- (3) 全部事务时间中70%用于读、30%用于写，无其他空闲，求平均传输速率。

6.2 总线事务和定时

6-029 选择题

考虑由地址/命令阶段及后续数据阶段组成、支持突发的同步总线。下列描述错误的是（ ）。

- | | |
|-----------------------------------|----------------------------|
| A. 一个这样的事务需要多个总线时钟周期完成 | B. 事务开始时先发送地址和读写命令 |
| C. 存储器读事务中的地址与返回数据通常处于不同阶段 | D. 一次事务只能完成一个数据字的交换 |

6-030 选择题

在不同速度的设备之间传送数据时（ ）。

- A. 必须同步
- B. 必须异步
- C. 可选同步，也可选异步
- D. 必须采用应答握手

6-031 选择题

总线同步控制方式是（ ）。

- A. 只适用于CPU控制
- B. 只适用于外设控制
- C. 由公共时钟和统一时序约束传输
- D. 要求所有指令执行时间相同

6-032 选择题

在短距离、部件速度接近、按固定时序且无需逐次握手的模型中，同步通信具有较小传输控制开销，相关因素是（ ）。

- A. 无需逐次应答且总线较短
- B. 使用公共时钟信号协调
- C. 部件的存取时间比较接近
- D. 以上因素的综合作用

6-033 选择题

固定周期、无额外等待的同步传输通常更适合（ ）。

- A. 每次必须交换应答信号的设备
- B. 各部件存取时间比较接近的系统
- C. 任意长距离总线
- D. 每次传输周期可任意延长的系统

6-034 选择题

在握手式异步总线中，传送操作的持续时间（ ）。

- A. 只由设备控制器单方面固定
- B. 只由CPU单方面固定
- C. 由统一时钟固定分配
- D. 由请求与应答的完成情况按需确定

6-035 选择题

本章握手式异步总线通信采用（ ）。

- A. 不采用公共时钟，也不采用握手
- B. 只采用公共时钟，不采用握手
- C. 不以公共时钟统一定时，而用握手信号定时
- D. 必须同时以公共时钟和握手定时

6-036 选择题

在传播、器件延时相同的教材比较模型中，全互锁、半互锁和不互锁异步协议里，控制等待最少、潜在传输最快的是（ ）。

- A. 全互锁
- B. 半互锁
- C. 不互锁
- D. 必然完全相等

6-037 选择题

按本章传统系统分类，下列场景最适合采用按就绪情况握手的异步传输的是（ ）。

- A. I/O接口与慢速打印机交换信息
- B. CPU与按固定周期设计的主存交换信息
- C. CPU经传统同步PCI总线交换信息
- D. 只接受统一固定时序的设备

6-038 选择题

同步总线时钟50MHz，每次读8个字，每字4B。一次事务用1拍收地址、3拍等主存、8拍传数据，事务不重叠。有效传输率约为（ ）。

- A. 114.3MB/s
- B. 126MB/s
- C. 133.3MB/s
- D. 144.3MB/s

6-039 选择题

某异步串行接口每字符发送1位起始位、7位ASCII数据、1位奇校验和1位停止位。每秒发送480个字符，线路比特率为（ ）。

- A. 3360bit/s
- B. 38400bit/s
- C. 3840bit/s
- D. 4800bit/s

6-040 选择题

下列关于总线的叙述正确的是（ ）。

- A. 高速总线必须采用并行同步方式
- B. 突发传输中CPU必须为每个数据发送完整地址
- C. 系统所有总线共享同一时钟和控制协议
- D. 事务请求和响应分离，可让其他事务利用等待响应的空隙

6-041 2012 年统考 · 第 19 题

【2012统考真题】某同步总线的时钟频率为100MHz，宽度为32位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发（猝发）传输方式，则一次“主存写”总线事务传输128位数据所需要的时间至少是（ ）。

- A. 20ns
- B. 40 ns
- C. 50ns
- D. 80ns

6-042 2015 年统考 · 第 19 题

【2015统考真题】下列有关总线定时的叙述中，错误的是（ ）。

- A. 异步通信方式中，全互锁协议最慢
- B. 异步通信方式中，不互锁协议的可靠性最差
- C. 同步通信方式中，同步时钟信号可由各设备提供
- D. 半同步通信方式中，握手信号的采样由同步时钟控制

6-043 2021 年统考 · 第 19 题

【2021统考真题】下列关于总线的叙述中，错误的是（ ）。

- A. 总线是在两个或多个部件之间进行数据交换的传输介质
- B. 同步总线由时钟信号定时，时钟频率不一定等于工作频率
- C. 异步总线由握手信号定时，一次握手过程完成一位数据交换
- D. 突发(Burst)传送总线事务可以在总线上连续传送多个数据

6-044 2014 年统考·第 20 题

【2014统考真题】一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为（ ）。

- A. 并行传输
- B. 串行传输
- C. 突发传输
- D. 同步传输

6-045 2017 年统考·第 20 题

【2017统考真题】下列关于多总线结构的叙述中，错误的是（ ）。

- A. 靠近 CPU 的总线速度较快
- B. 存储器总线可支持突发传送方式
- C. 总线之间须通过桥接器相连
- D. PCI-Express×16 采用并行传输方式

6-046 2023 年统考·第 20 题

某存储器总线宽度为 64 位，总线时钟频率为 1GHz，在总线上传输一个数据或地址需要一个时钟周期，不支持突发传送方式。若通过该总线连接 CPU 和主存，主存每次准备一个数据需要 4 个时钟周期，则一次主存读操作的时间是（ ）。

- A. 8ns
- B. 11ns
- C. 26ns
- D. 32ns

6-047 2016 年统考·第 21 题

【2016统考真题】下列关于总线设计的叙述中，错误的是（ ）。

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可减少信号线数量
- C. 采用突发传输方式可提高总线数据传输率
- D. 采用分离事务通信方式可提高总线利用率

6-048 2018 年统考 · 第 21 题

【2018统考真题】下列选项中，可提高同步总线数据传输速率的是（ ）。

- I . 增加总线宽度
- II . 提高总线工作频率
- III . 支持突发传输
- IV . 采用地址/数据线复用

- A. 仅 I、II
- C. 仅 III、IV

- B. 仅 I、II、III
- D. I、II、III和IV

第7章 输入/输出系统

计算机组成原理 · 做题本 · 89题

7.1 I/O系统基本概念

7-001 选择题

微型机系统中，I/O设备通常通过什么与主板系统总线连接（ ）。

- A. DMA控制器
- B. 设备控制器或I/O接口
- C. 中断控制器
- D. 单个I/O端口

7-002 选择题

每个汉字用 16×16 的单色点阵表示，每点1位；存7500个汉字、不计索引开销。按1KB=1000B计，容量为（ ）。

- A. 16KB
- B. 240KB
- C. 320KB
- D. 1MB

7-003 选择题

单帧显示分辨率为 1024×1024 ，颜色数256。刷新存储器每单元恰存一个像素，不计额外开销。每单元字长及总容量分别为（ ）。

- A. 8B, 25MiB
- B. 8bit, 1MiB
- C. 8bit, 256KiB
- D. 8B, 32MiB

7-004 2010 年统考 · 第 22 题

【2010统考真题】假定一台计算机的显示存储器用DRAM 芯片实现，若要求显示分辨率为 1600×1200 ，颜色深度为24位，帧频为85Hz，显存总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为（ ）。

- A. 245Mb/s
- B. 979Mb/s
- C. 1958Mb/s
- D. 7834Mb/s

7.2 I/O 接口

7-005 选择题

在存储器映射I/O的统一编址方式下，区分普通存储单元与I/O端口主要依据（ ）。

- A. 不同的地址码或地址范围
- B. 不同的地址线
- C. 不同的专用访存与I/O控制线
- D. 不同的数据线

7-006 选择题

I/O接口的功能包括哪些（ ）。

- I. 数据格式转换
- II. 错误与状态检测
- III. I/O控制与定时
- IV. 与主机和外设通信

- A. I、IV
- B. I、III、IV
- C. I、II、IV
- D. I、II、III、IV

7-007 选择题

按本章统一编址与独立I/O编址的定义，下列说法正确的是（ ）。

- A. 统一编址时存储保护机制必然与I/O保护完全独立
- B. 统一编址靠不同地址线区分主存与I/O
- C. 独立编址必然使用两套物理地址线
- D. 独立编址需要专门区分的I/O访问指令

7-008 选择题

下列属于I/O 接口中寄存器的有（ ）。

- I. 指令寄存器
- II. 控制寄存器
- III. 状态寄存器
- V. 数据缓冲寄存器
- IV. 存储器地址寄存器

- A. I、II、III和V
- B. II、III和IV
- C. II、III和V
- D. II、III、IV和V

7-009 选择题

I/O采用统一编址时，CPU通常使用哪类指令访问I/O端口（ ）。

- A. 仅控制转移指令
- B. 访存指令
- C. 必须使用专用输入/输出指令
- D. 均不正确

7-010 选择题

关于专用I/O指令，下列说法错误的是（ ）。

- A. 属于CPU指令系统的一部分
- B. 属于机器指令的一类
- C. 其语义反映CPU与I/O接口交换信息的特点
- D. 其格式必然与所有通用指令完全相同

7-011 选择题

按本章对独立编址的定义，下列叙述正确的是（ ）。

- A. 任何机器都只能用专用I/O指令访问设备
- B. 统一编址不能用CPU指令直接访问I/O端口
- C. 访存指令在任何机器上都不能访问I/O设备
- D. 独立I/O地址空间需要能够区别于普通访存的I/O指令或操作

7-012 选择题

若机器只用统一编址方式访问I/O，则为了实现I/O而不必专门设置的是（ ）。

- A. MOV等数据传送指令
- B. ADD、SUB、AND、OR等运算指令
- C. IN、OUT等独立I/O指令
- D. 条件转移和过程调用指令

7-013 选择题

在统一编址的情况下，就I/O设备而言，其对应的I/O地址不可取的是（ ）。

- A. 要求固定在地地址高端
- B. 要求固定在地地址低端
- C. 要求相对固定在地地址的某部分
- D. 可以随意在地地址的任何地方

7-014 选择题

采用统一编址访问I/O端口，地址映射和译码配置保持不变。下列做法中不可行的是（ ）。

- A. 设计时将端口映射到地址空间高端的保留范围
- B. 设计时将端口映射到地址空间低端的保留范围
- C. 按既定映射访问端口，并避免与普通RAM地址冲突
- D. 每次访问都任意改变端口地址，而不改变映射和译码配置

7-015 选择题

单个磁头沿磁盘磁道记录数据时，逻辑数据位按什么方式依次写入（ ）。

- A. 并行
- B. 串行
- C. 并行到串行两级作为磁道记录方式
- D. 串行到并行两级作为磁道记录方式

7-016 选择题

按打印控制接口向CPU发出中断请求的传统模型，打印接口与打印机之间交换的信息不包括（ ）。

- A. 打印点阵或字符数据
- B. 打印控制信息
- C. 打印机状态信息
- D. 接口发往CPU的中断请求信号

7-017 选择题

按主机、I/O总线、接口、设备侧电缆的层次，正确连接顺序是（ ）。

- A. CPU和主存→I/O总线→设备侧电缆→I/O接口→外设
- B. CPU和主存→I/O总线→I/O接口→设备侧电缆→外设
- C. CPU和主存→I/O接口→I/O总线→设备侧电缆→外设
- D. CPU和主存→I/O接口→设备侧电缆→I/O总线→外设

7-018 选择题

下列有关I/O接口的叙述错误的是（ ）。

- A. 主机侧与设备侧的数据宽度总是相同
- B. 接口可以是显卡或网卡中的外设控制逻辑
- C. CPU可读取接口状态以了解设备状态
- D. CPU可向接口写入设备控制命令

7-019 2021 年统考·第 20 题

【2021统考真题】下列选项中，不属于I/O 接口的是（ ）。

- A. 磁盘驱动器
- B. 打印机适配器
- C. 网络控制器
- D. 可编程中断控制器

7-020 2012 年统考·第 21 题

【2012统考真题】下列选项中，在I/O 总线的数据线上传输的信息包括（ ）。

- I. I/O 接口中的命令字
- II. I/O 接口中的状态字
- III. 中断类型号

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II、III

7-021 2014 年统考·第 21 题

【2014统考真题】下列有关I/O 接口的叙述中，错误的是（ ）。

- A. 状态端口和控制端口可以合用同一个寄存器
- B. I/O 接口中CPU 可访问的寄存器称为I/O 端口
- C. 采用独立编址方式时，I/O 端口地址和主存地址可能相同
- D. 采用统一编址方式时，CPU 不能用访存指令访问I/O 端口

7-022 2017 年统考·第 21 题

【2017统考真题】I/O 指令实现的数据传送通常发生在（ ）。

- A. I/O 设备和 I/O 端口之间
- B. 通用寄存器和I/O 设备之间
- C. I/O 端口和I/O 端口之间
- D. 通用寄存器和 I/O 端口之间

7.3 I/O 方式

7-023 选择题

中断判优逻辑的主要功能是（ ）。

- A. 生成全部中断源的编码
- B. 从当前可响应请求中选择优先级最高者
- C. 保存所有中断服务程序入口
- D. 保证提高CPU时钟频率

7-024 选择题

在本章“向量表项保存服务程序入口地址”的模型中，下列说法错误的是（ ）。

- A. 中断服务程序通常属于操作系统或驱动程序
- B. 硬件向量方式识别中断源通常比逐项软件查询快
- C. 中断向量地址就是中断服务程序入口地址
- D. 多重中断允许更高处理优先级的请求嵌套进入

7-025 选择题

按DMA优先取得可让出的总线、完成后发中断通知的教材模型，以下说法错误的是（ ）。

- I. DMA请求优先于普通程序中断处理的启动。
- II. 中断服务需要保存相应现场，DMA逐字传送本身不切换CPU现场。
- III. 程序中断方式的请求只为报告传送结束，而DMA的中断请求用于让CPU逐字传数据。

- A. 仅II
- B. II、III
- C. 仅III
- D. I、III

7-026 选择题

按固定硬件响应优先级、可设置中断屏蔽字的基本CPU模型，以下说法错误的有哪些（ ）。

- I. 中断输入/输出由硬件与服务程序共同完成。
- II. CPU在每一个总线周期结束后都必须响应普通外部中断。
- III. DMA必须等当前指令全部执行完才能取得总线。
- IV. 中断服务程序最后用普通无条件转移代替中断返回。
- V. 固定硬件响应优先级由服务程序写入的中断屏蔽字直接改写。

- A. I、III、IV
- B. II、III、IV、V
- C. II、IV、V
- D. II、III、IV

7-027 选择题

能直接通过DMA请求信号参与本题DMA握手的设备须满足（ ）。

- I. 传输速度很高
- II. 一次传送量很大
- III. 具备相应DMA接口

- A. 仅I
- B. 仅III
- C. I、III
- D. II、III

7-028 选择题

具有中断向量表，且表项中存放中断服务程序入口地址时，“中断向量地址”指（ ）。

- A. 普通子程序入口地址
- B. 中断服务程序入口地址
- C. 存放中断服务程序入口地址的表项地址
- D. 被中断程序的断点

7-029 选择题

在本章非抢断当前指令的基本CPU模型下，普通外部中断满足响应条件后，在哪个时点响应（ ）。

- A. 一条指令执行开始
- B. 一条指令执行中间
- C. 当前指令执行结束的边界
- D. 任何时刻立即响应

7-030 选择题

下列事件中，本身不一定产生中断或异常请求的是（ ）。

- A. 启用了结束中断的DMA传送完成
- B. 一条普通指令正常执行完毕
- C. 需报告的机器故障
- D. 执行产生自陷的软中断指令

7-031 选择题

四个中断源硬件响应顺序为 $1>2>3>4$ 。各服务程序设置的屏蔽字按源1、2、3、4排列，1表示屏蔽；分别为1101、0100、1111、0101。允许未屏蔽源嵌套时，处理优先级从高到低为（ ）。

- A. $1>2>3>4$
- B. $3>1>4>2$
- C. $1>3>4>2$
- D. $2>1>3>4$

7-032 选择题

在关中断、保存断点后按向量进入服务程序的基本模型中，中断响应周期主要完成（ ）。

- A. 关中断、保护断点、发响应信号并形成向量地址
- B. 开中断、保护断点、发响应信号并形成向量地址
- C. 关中断并执行整个中断服务程序
- D. 开中断并执行整个中断服务程序

7-033 选择题

在本章普通可屏蔽外部中断I/O模型中，以下说法错误的是（ ）。

- A. 响应在当前指令完成后的边界发生
- B. CPU可执行I/O指令在接口寄存器与CPU寄存器间交换数据
- C. 中断请求CPU执行服务程序所需的处理时间
- D. 只要发生请求，当前指令结束后就必然进入响应周期

7-034 选择题

CPU响应中断时，用硬件保存并更新PC，而不是等服务程序自行完成，主要为了（ ）。

- A. 能够进入服务程序并能正确返回原程序
- B. 节省全部主存空间
- C. 单纯提高时钟频率
- D. 仅方便编写源代码

7-035 选择题

接口设置中断请求触发器以保存外设发出的请求，主要因为（ ）。

- A. 中断永远不需要及时处理
- B. 外设一定比CPU快
- C. CPU不一定能在请求出现的瞬间立即处理
- D. 只有多个中断同时出现才需保存

7-036 选择题

在本章中断响应周期中，把允许中断触发器置0的动作由什么完成（ ）。

- A. 随后取出的关中断机器指令
- B. 中断隐指令所代表的硬件序列
- C. 开中断机器指令
- D. 整个中断服务程序执行结束后

7-037 选择题

按本章中断隐指令顺序，CPU开始响应中断时最先完成的是（ ）。

- A. 开中断
- B. 保存断点
- C. 关中断
- D. 转到中断服务程序

7-038 选择题

设置中断屏蔽标志可以改变（ ）。

- A. 多个中断源的中断请求优先级
- B. CPU 对多个中断请求响应的优先次序
- C. 多个中断服务程序开始执行的顺序
- D. 多个中断服务程序执行完的次序

7-039 选择题

某系统的硬件中断判优次序固定。通过服务程序设置屏蔽字，允许较高处理优先级的请求嵌套，而屏蔽其余请求。这直接用于实现哪种优先关系？

- A. 改变题设固定的硬件判优次序
- B. 改变指令操作码的译码优先次序
- C. 改变设备数据传输速度
- D. 控制中断服务程序之间的处理和嵌套优先关系

7-040 选择题

CPU响应中断时，为了以后恢复原执行状态，最关键的两项硬件状态是（ ）。

- A. PC与IR
- B. PC与PSW
- C. AR与IR
- D. AR与PSW

7-041 选择题

分别选择程序中中断I/O方式和DMA方式的特点，并说明“外设并行工作”与“搬运数据占用CPU”的区别。两空共用以下选项。

- A. CPU与外设串行工作；数据搬运与主程序串行 B. CPU与外设可并行工作；数据搬运程序与主程序串行 C. CPU与外设串行工作；数据搬运与主程序可并行 D. CPU与外设可并行工作；DMA数据搬运与主程序可并行
- A. CPU与外设串行工作，传送与主程序串行工作
 - B. CPU与外设并行工作，传送与主程序串行工作
 - C. CPU与外设串行工作，传送与主程序并行工作
 - D. CPU与外设并行工作，传送与主程序并行工作

7-042 选择题

按逐字轮询并写入主存缓冲区的程序查询流程，下列说法正确的是（ ）。

- A. 查询控制必分软件查询和硬件查询两种程序
- B. CPU只启动与查询状态，不参与数据搬运
- C. 每完成一次数据搬运，程序更新主存地址和剩余计数
- D. 所有查询方式都要求CPU一直忙等，期间绝不能执行其他工作

7-043 2020 年统考·第 20 题

【2020统考真题】下列事件中，属于外部中断事件的是（ ）。

- I. 访存时缺页
- II. 定时器到时
- III. 网络数据包到达

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II和III

7-044 选择题

在 DMA 传送方式中，由（ ）发出DMA 请求，在传送期间总线控制权由（ ）掌握。

- A. 外部设备、CPU
- B. DMA 控制器、DMA 控制器
- C. 外部设备、DMA 控制器
- D. DMA 控制器、内存

7-045 选择题

在传统DMA结构中，向CPU发出总线使用请求的是谁，获得授权后由谁控制本次DMA总线传送（ ）。

- A. 外设；CPU
- B. DMA控制器；DMA控制器
- C. 外设；DMA控制器
- D. DMA控制器；主存

7-046 2010 年统考·第 21 题

【2010统考真题】单重中断系统中，中断服务程序内的执行顺序是（ ）。

- I. 保存现场
- II. 开中断
- III. 关中断
- IV. 保存断点
- V. 中断事件处理
- VI. 恢复现场 VII. 中断返回

- A. I→V→VI→II→VI
- B. III→I→V→VII
- C. III→IV→V→VI→VII
- D. IV→I→V→VI→VII

7-047 2011 年统考·第 21 题

某计算机有五级中断 $L_4 \sim L_0$ ，中断屏蔽字为 $M_4M_3M_2M_1M_0$ ， $M_i = 1$ ($0 \leq i \leq 4$) 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$ ，且要求中断处理优先级从高到低的顺序是 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$ ，则 L_1 的中断处理程序中设置的中断屏蔽字是（ ）。

- A. 11110
- B. 01101
- C. 00011
- D. 01010

7-048 2015 年统考·第 21 题

【2015统考真题】在采用中断 I/O 方式控制打印输出的情况下，CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是（ ）。

- A. 打印字符
- B. 主存地址
- C. 设备状态
- D. 控制命令

7-049 2019 年统考·第 21 题

【2019统考真题】某设备以中断方式与CPU 进行数据交换，CPU 主频为1GHz，设备接口中的数据缓冲寄存器为32位，设备的数据传输速率为50kB/s。若每次中断开销（包括中断响应和中断处理）为1000个时钟周期，则CPU 用于该设备输入/输出的时间占整个CPU 时间的百分比最多是（ ）。

- A. 1.25%
- B. 2.5%
- C. 5%
- D. 12.5%

7-050 2020 年统考·第 21 题

【2020统考真题】外部中断包括不可屏蔽中断(NMI)和可屏蔽中断，下列关于外部中断的叙述中，错误的是（ ）。

- A. CPU 处于关中断状态时，也能响应NMI 请求
- B. 一旦可屏蔽中断请求信号有效，CPU 就立即响应
- C. 不可屏蔽中断的优先级比可屏蔽中断的优先级高
- D. 可通过中断屏蔽字改变可屏蔽中断的处理优先级

7-051 2022 年统考·第 21 题

【2022统考真题】下列关于中断 I/O方式的叙述中，不正确的是（ ）。

- A. 适用于键盘、针式打印机等字符型设备
- B. 外设和主机之间的数据传送通过软件完成
- C. 外设准备数据的时间应小于中断处理时间
- D. 外设为某进程准备数据时 CPU 可运行其他进程

7-052 2023 年统考·第 21 题

【2023统考真题】下列关于硬件和异常/中断关系的叙述中，错误的是（ ）。

- A. CPU 在执行一条指令的过程中检测异常事件
- B. CPU 在执行完一条指令时检测中断请求信号
- C. 开中断时CPU 检测到中断请求后就进行中断响应
- D. 外部设备通过中断控制器向CPU 发中断结束信号

7-053 2024 年统考·第 21 题

【2024统考真题】下列关于中断 I/O方式的叙述中，错误的是（ ）。

- A. 中断屏蔽字用于确定中断响应的优先级
- B. 保存断点和程序状态字在中断响应阶段完成
- C. 保存通用寄存器和设置新中断屏蔽字由软件实现
- D. 单重中断方式下中断处理时 CPU 处于关中断状态

7-054 2025 年统考 · 第 21 题

下列设备中, 适合采用 DMA 输入输出的设备是 ()。

I. 键盘

II. 网卡

III. 固态硬盘

IV. 针式打印机

A. I、II

B. II、III

C. II、IV

D. III、IV

7-055 选择题

设备采用每字中断搬运或采用传块后结束中断的DMA时, 正确的是 ()。

A. 两者的每字数据传送都依赖CPU中断服务

B. 只有程序中断方式可能使用中断

C. 两者均可有中断请求, 但主要目的不同

D. DMA周期挪用一定等当前CPU指令结束

7-056 2009 年统考 · 第 22 题

【2009统考真题】下列选项中, 能引起外部中断的事件是 ()。

A. 键盘输入

B. 除数为0

C. 浮点运算下溢

D. 访存缺页

7-057 2011 年统考 · 第 22 题

某计算机处理器主频为50MHz, 采用定时查询方式控制设备A的 I/O, 查询程序运行一次所用的时钟 周期数至少为 500。在设备A 工作期间, 为数据不丢失, 每秒需对其查询至少200次, 则CPU用于设备A 的I/O 的时间占整个 CPU时间的百分比至少是 ()。

A. 0.02%

B. 0.05%

C. 0.20%

D. 0.50%

7-058 2012 年统考·第 22 题

【2012统考真题】响应外部中断的过程中，中断隐指令完成的操作，除保存断点外，还包括（ ）。

- I. 关中断
- II. 保存通用寄存器的内容
- III. 形成中断服务程序入口地址并送PC

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II、III

7-059 2013 年统考·第 22 题

【2013统考真题】下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是（ ）。

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于快速外部设备

7-060 2014 年统考·第 22 题

【2014统考真题】若某设备中断请求的响应和处理时间为100ns，每400ns 发出一次中断请求，中断响应所允许的最长延迟时间为50ns，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是（ ）。

- A. 12.5%
- B. 25%
- C. 37.5%
- D. 50%

7-061 2017 年统考·第 22 题

【2017统考真题】下列关于多重中断系统的叙述中，错误的是（ ）。

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

7-062 2018 年统考·第 22 题

【2018统考真题】下列关于外部 I/O 中断的叙述中，正确的是（ ）。

- A. 中断控制器按所接收中断请求的先后次序进行中断
优先级排队
- B. CPU 响应中断时，通过执行中断隐指令完成通用寄
存器的保存
- C. CPU 只有在处于中断允许状态时，才能响应外部设
备的中断请求
- D. 有中断请求时，CPU 立即暂停当前指令执行，转去
执行中断服务程序

7-063 2019 年统考·第 22 题

【2019统考真题】下列关于DMA 方式的叙述中，正确的是（ ）。

- I. DMA 传送前由设备驱动程序设置传送参数
 - II. 数据传送前由DMA 控制器请求总线使用权
 - III. 数据传送由DMA 控制器直接控制总线完成
 - IV. DMA 传送结束后的处理由中断服务程序完成
- A. 仅 I、II
 - B. 仅 I、III、IV
 - C. 仅 II、III、IV
 - D. I、II、III、IV

7-064 2020 年统考·第 22 题

【2020统考真题】若设备采用周期挪用 DMA 方式进行输入和输出，每次 DMA 传送的数据块大小为512字节，相应的I/O 接口中有一个32位数据缓冲寄存器。对于数据输入过程，下列叙述中，错误的是（ ）。

- A. 每准备好32位数据，DMA 控制器就发出一次总线
请求
- B. 相对于CPU, DMA 控制器的总线使用权的优先级更
高
- C. 在整个数据块的传送过程中，CPU 不可以访问主存
储器
- D. 数据块传送结束时，会产生“DMA 传送结束”中
断请求

7-065 2021 年统考·第 22 题

【2021统考真题】下列是关于多重中断系统中CPU 响应中断的叙述，错误的是（ ）。

- A. 仅在用户态（执行用户程序）下，CPU 才能检测和响应中断
- B. CPU 只有在检测到中断请求信号后，才会进入中断响应周期
- C. 进入中断响应周期时，CPU 一定处于中断允许（开中断）状态
- D. 若 CPU 检测到中断请求信号，则一定存在未被屏蔽的中断源请求信号

7-066 2023 年统考·第 22 题

【2023统考真题】下列关于I/O 控制方式的叙述中，错误的是（ ）。

- A. 查询方式下，通过 CPU 执行查询程序进行I/O 操作
- B. 中断方式下，通过 CPU 执行中断服务程序进行I/O 操作
- C. DMA 方式下，通过CPU 执行DMA 传送程序进行I/O 操作
- D. 对于 SSD、网络适配器等高速设备，采用DMA 方式输入/输出

7-067 2024 年统考·第 22 题

【2024统考真题】DMA 控制I/O 方式下，设备的输入/输出由DMA 控制器控制完成，此时，DMA 控制器控制的数据传输通路位于（ ）。

- A. CPU 和主存之间
- B. CPU 和 DMA 控制器之间
- C. 设备接口和主存之间
- D. 设备接口和DMA 控制器之间

7-068 2025 年统考·第 22 题

【2025统考真题】下列选项中，会触发外部中断请求的事件是（ ）。

- A. DMA 传送结束
- B. 总线事务结束
- C. 页故障处理结束
- D. 执行断点指令

7-069 选择题

关于完整DMA过程，正确的是（ ）。

- A. 一部分由CPU控制，一部分由DMA控制器控制
- B. 全部由CPU逐字控制
- C. CPU从不参与任何控制
- D. 全部由CPU通过逐条程序实施周期挪用

7-070 选择题

当某五级流水线CPU 正在执行某条指令的第二级流水段时，外部设备产生了一个 DMA 请求，则CPU 对该 DMA 请求响应的时机是（ ）。

- A. 立即响应
- B. 在该指令的第二级流水段执行完毕后响应
- C. 在该指令的第三级流水段执行完毕后响应
- D. 在该指令执行结束后响应

7-071 选择题

在本章“DMA优先于普通外部中断处理启动、可屏蔽中断受允许位控制”的传统模型中，下列正确的是（ ）。

- A. DMA请求和外部中断请求同时满足处理条件时，先授予DMA所需的总线
- B. DMA、NMI和可屏蔽中断都须等当前整条指令结束
- C. 在本题统一比较次序中，NMI一定先于DMA取得总线
- D. 未开中断时任何中断包括NMI都不能响应

7-072 选择题

磁盘操作分寻道、旋转等待、块数据传输和结束检查。采用DMAC在可交接时优先于CPU使用主存总线的模型，下列说法错误的是（ ）。

- A. CPU负责命令发起及状态管理，准备和结束状态可通过中断报告
- B. 数据阶段DMAC请求的是总线使用权
- C. 数据阶段DMAC的总线使用优先级低于CPU
- D. 磁盘工作可与CPU执行其他任务重叠

7-073 选择题

在本章硬件中断响应模型中，断点PC的保护以及把服务入口装入PC，是由什么完成（ ）。

- A. 硬件自动完成的响应序列
- B. 尚未开始执行的压栈和转移机器指令
- C. 普通访存指令
- D. 整个中断服务程序

7-074 选择题

DMA数据传送本身不破坏CPU的哪些内容，因此CPU可继续执行不冲突的工作（ ）。

- A. 仅程序计数器
- B. 程序计数器和CPU寄存器执行现场
- C. 仅指令寄存器
- D. 仅堆栈寄存器

7-075 选择题

按DMAC含数据缓冲、与设备接口相连的传统两段式DMA模型，从主存向外设传送数据的路径是（ ）。

- A. 主存→数据总线→未说明的通用数据通路→外设
- B. 主存→数据总线→DMAC的数据缓冲通路→外设
- C. 主存→未说明的数据通路→数据总线→外设
- D. 主存→CPU通用寄存器→外设

7-076 选择题

采用每次窃取一个主存周期、每次传一个数据单位的DMA方式时，一次数据传送占用（ ）。

- A. 一条指令周期
- B. 固定的一种CPU机器周期
- C. 一个CPU时钟周期
- D. 一个主存存取周期

7-077 选择题

CPU按起始地址和长度启动一次DMA任务，通常描述的是外设与主机之间传送一个（ ）。

- A. 固定字节
- B. 固定机器字
- C. 固定总线宽度
- D. 指定长度的数据块

7-078 选择题

CPU初始化磁盘/DMA控制器时, 下列哪项不是主体DMA搬运所需参数 ()。

- A. 主存缓冲区起始地址
- B. 数据传送方向
- C. 用来保存每个传送数据的CPU通用寄存器编号
- D. 数据总字数或字节数

7-079 综合题

在DMA方式下, 主存与I/O设备之间是否存在实际承载数据的物理通路? 这是否意味着一定有一组专用导线把存储芯片直接接到设备本体?

7-080 综合题

某I/O设备最高每秒向CPU传送40000份信息, 每份信息需一次中断服务, 服务程序执行时间 $40\mu\text{s}$ 。不采用合并中断或DMA。能否以该最高速率持续采用中断方式? 为什么?

7-081 综合题

程序查询每次需100个时钟, 不计查询之外的处理时间, CPU主频50MHz。鼠标每秒查询30次; 硬盘以32位为单位传数据, 每单位查询一次, 速率 $2 \times 2^{20}\text{B/s}$ 。分别求查询占用CPU时间的比率, 并说明结论。

7-082 综合题

四个中断源1—4的固定硬件响应优先级为 $1>2>3>4$ 。屏蔽表见原图，列顺序为1、2、3、4，1表示屏蔽。每个服务程序保存原屏蔽字后设置本行屏蔽字并开中断，返回时恢复；主程序全部允许，所有请求均锁存且各出现一次。

正在服务的源	屏蔽1	屏蔽2	屏蔽3	屏蔽4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

(1) 求处理优先级。

(2) 若四源同时请求，给出CPU的进入、嵌套和返回轨迹。

中 断 源	屏 蔽 字			
	1	2	3	4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

7-083 综合题

DMA接口用周期窃取将字节存入主存，最大批量400B；每字节占主存存取周期 $0.2\mu\text{s}$ ，每次结束中断CPU处理 $5\mu\text{s}$ 。设备提供连续有效数据流9600bit/s，8bit一字节，无另计的串口帧开销，DMA每批400B。忽略预处理。

比较每秒DMA数据阶段占用主存总线的时间、DMA结束处理占CPU的时间，以及完全采用每字节一次中断时的CPU时间。若按每个被窃取的主存周期都阻塞CPU访存的教材总占用口径，也给出其合计。

7-084 综合题

磁盘以32位为单位传输，速率1MB/s，CPU主频50MHz， $M=10^6$ 。

- (1) 每单位数据对应一次100周期查询，求查询开销比例。
- (2) 每单位数据对应一次完整80周期中断响应与处理，求比例。
- (3) DMA启动1000周期、结束处理500周期，每批4KB，本题 $K=1000$ 。忽略总线争用，求软件开销比例。

7-085 2009 年统考 · 第 43 题

某计算机的 CPU 主频为500MHz,CPI 为5（即执行每条指令平均需5个时钟周期）。假定 某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送，以32位为传输单位，对应的中断 服务程序包含18条指令，中断服务的其他开销相当于2条指令的执行时间。请回答下列问题，要求给出 计算过程。

- (1) 在中断方式下，CPU 用于该外设I/O 的时间占整个CPU 时间的百分比是多少？
- (2) 当该外设的数据传输率达到5M B/s时，改用DMA方式传送数据。假定每次DMA传送块大小为5000B, 且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O 的时间占整个CPU 时间的 百分比是多少？（假设DMA与 CPU 之间没有访存冲突）

7-086 2012 年统考·第 43 题

假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访存 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线宽度为 32 位。请回答下列问题。

- (1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?
- (2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?
- (3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?
- (4) 为了提高性能, 主存采用四体低位交叉存储模式, 工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

7-087 2018 年统考·第 43 题

假定计算机的主频为 500MHz, CPI 为 4。现有设备 A 和 B, 其数据传输率分别为 2Mbps 和 40Mbps, 对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题, 要求给出计算过程。

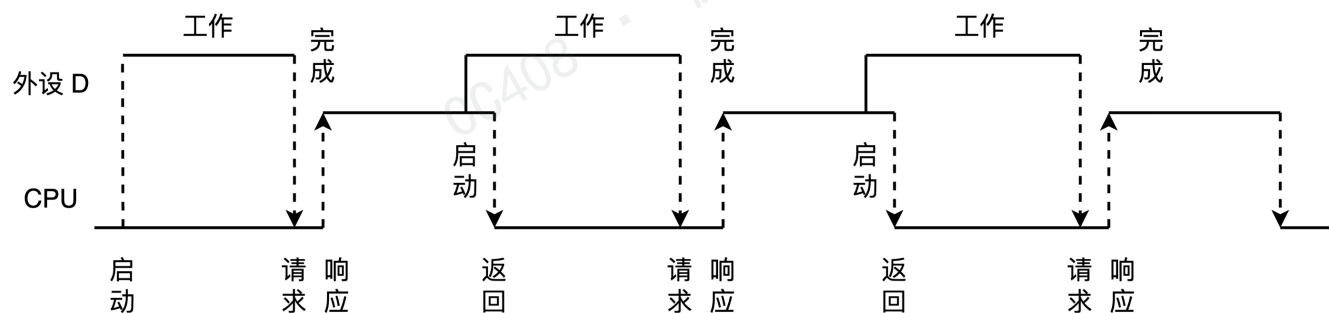
- (1) 若设备 A 采用定时查询 I/O 方式, 每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据? CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少?
- (2) 在中断 I/O 方式下, 若每次中断响应和中断处理的总时钟周期数至少为 400, 则设备 B 能否采用中断 I/O 方式? 为什么?
- (3) 若设备 B 采用 DMA 方式, 每次 DMA 传送的数据块大小 1000B, CPU 用于 DMA 预处理和后处理的总时钟周期数为 500, 则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最大是多少?

7-088 2016 年统考 · 第 44 题

假定 CPU 主频为 50MHz，CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符，通信规程中有 1 位奇校验位和 1 位停止位，从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。请回答下列问题，要求说明理由。

(1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备 D 持续工作过程中，每秒钟最多可向 I/O 端口送入多少个字符？

(2) 设备 D 采用中断方式进行输入/输出，示意图如下：



I/O 端口每收到一个字符申请一次中断，中断响应需 10 个时钟周期，中断服务程序共有 20 条指令，其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？

7-089 2022 年统考 · 第 44 题

假设某磁盘驱动器中有4个双面盘片，每个盘面有20000个磁道，每个磁道有500个扇区，每个扇区可记录512字节的数据，盘片转速为7200rpm（转/分），平均寻道时间为5ms，请回答下列问题。

- (1) 每个扇区包含数据及地址信息，地址信息分为3个字段，这3个字段的名称格式什么？对于该磁盘，各字段至少占多少位？
- (2) 一个扇区的平均访问时间约为多少？
- (3) 若采用周期挪用DMA 方式进行磁盘与主机之间的数据传送，磁盘控制器中的数据缓冲区大小为64位，则在一个扇区读写过程中，DMA 控制器向CPU 发送了多少次总线请求？若CPU 检测到DMA 控制器的 总线请求信号时也需要访问主存，则DMA 控制器是否可以获得总线使用权？为什么？